



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0007224
Application Number

출원년월일 : 2003년 02월 05일
Date of Application FEB 05, 2003

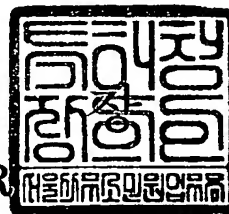
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 24 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2003.02.05
【발명의 명칭】	강유전체 메모리 소자의 제조 방법
【발명의 영문명칭】	METHOD FOR FABRICATION OF FERROELECTRIC RANDOM ACCESS MEMORY DEVICE
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	권순용
【성명의 영문표기】	KWEON, Soon Yong
【주민등록번호】	680812-1460616
【우편번호】	467-850
【주소】	경기도 이천시 대월면 사동리 현대6차 아파트 602-601
【국적】	KR
【발명자】	
【성명의 국문표기】	염승진
【성명의 영문표기】	YEOM, Seung Jin
【주민등록번호】	630909-1018621
【우편번호】	449-843
【주소】	경기도 용인시 동천동 859 동천마을 현대1차 홈타운 105-704
【국적】	KR
【우선권주장】	
【출원국명】	KR
【출원종류】	특허

【출원번호】 10-2002-0086177
【출원일자】 2002. 12. 30
【증명서류】 첨부
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
특허법인 신성 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 42 면 42,000 원
【우선권주장료】 1 건 26,000 원
【심사청구료】 14 항 557,000 원
【합계】 654,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 플러그 상부의 접착층을 오픈시키기 위한 마스크 및 식각 공정을 도입함에 따른 공정 마진의 부족 및 공정마진부족으로 초래되는 배리어메탈의 산화를 방지하는데 적합한 강유전체 메모리 소자의 제조 방법을 제공하기 위한 것으로, 본 발명은 트랜지스터가 형성된 반도체 기판 상부에 층간절연막을 형성하는 단계, 상기 층간절연막을 식각하여 상기 반도체 기판의 일부를 노출시키는 스토리지노드콘택홀을 형성하는 단계, 상기 스토리지노드콘택홀에 플러그와 배리어메탈의 순서로 적층된 스토리지노드콘택을 매립시키는 단계, 상기 스토리지노드 콘택 및 상기 층간절연막 상에 접착층을 형성하는 단계, 상기 접착층중에서 상기 플러그 상부에 형성된 부분에 균열을 발생시키는 단계, 상기 접착층의 균열이 발생된 부분을 선택적으로 제거하여 상기 플러그 상부의 배리어메탈 표면을 노출시키는 단계, 및 상기 표면이 노출된 배리어메탈을 통해 상기 플러그에 연결되는 강유전체 캐패시터를 형성하는 단계를 포함하므로써, 추가의 접착층 오픈 마스크 및 식각공정없이도 하부전극과 플러그간을 전기적으로 연결할 수 있다.

【대표도】

도 3g

【색인어】

강유전체메모리소자, 배리어메탈, 플러그, 접착층, 알루미늄, 균열, 열처리

【명세서】**【발명의 명칭】**

강유전체 메모리 소자의 제조 방법 {METHOD FOR FABRICATION OF FERROELECTRIC RANDOM ACCESS MEMORY DEVICE}

【도면의 간단한 설명】

도 1a 내지 도 1e는 종래 기술에 따른 강유전체 메모리 소자의 제조 방법을 도시한 공정 단면도,

도 2a는 종래 기술의 하부전극 공정후의 TEM 사진,

도 2b는 종래 기술의 강유전체막의 결정화를 위한 열처리 공정후의 TEM 사진,

도 3a 내지 도 3g는 본 발명의 제1실시예에 따른 강유전체 메모리 소자의 제조 방법을 도시한 공정 단면도,

도 4는 본 발명의 강유전체막의 회복열처리 공정후의 결과를 도시한 사진,

도 5a는 종래기술에 따른 콘택저항을 나타낸 그래프,

도 5b는 본 발명의 실시예에 따른 콘택저항을 나타낸 그래프,

도 6a 내지 도 6h는 본 발명의 제2실시예에 따른 강유전체 메모리 소자의 제조 방법을 도시한 공정 단면도,

도 7a 내지 도 7f는 본 발명의 제3실시예에 따른 강유전체 메모리 소자의 제조 방법을 도시한 공정 단면도,

도 8은 본 발명의 제4실시예에 따른 강유전체 메모리 소자를 도시한 단면도.

*도면의 주요 부분에 대한 부호의 설명

31 : 반도체 기판	32 : 필드산화막
33 : 불순물접합	34 : 제1층간절연막
35 : 티타늄막	36 : 제1티타늄나이트라이드
37 : 티타늄실리사이드	38 : 제2티타늄나이트라이드
39a : 텅스텐폴리그	40 : 제3티타늄나이트라이드
41 : 접착층	42 : 균열
44 : 이리듐막	45 : 이리듐산화막
46 : 백금막	47 : 제2층간절연막
48 : 강유전체막	49 : 상부전극

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<21> 본 발명은 반도체 제조 기술에 관한 것으로, 특히 강유전체 메모리 소자의 제조 방법에 관한 것이다.

<22> 일반적으로, 반도체 메모리 소자에서 강유전체(Ferroelectric) 박막을 강유전체 캐패시터에 사용함으로써 DRAM(Dynamic Random Access Memory) 소자에서 필요한 리프레쉬(Refresh)의 한계를 극복하고 대용량의 메모리를 이용할 수 있는 소자

의 개발이 진행되어왔다. 이러한 강유전체 박막을 이용하는 강유전체 메모리 소자(Ferroelectric Random Access Memory; FeRAM) 소자는 비휘발성 메모리 소자(Nonvolatile Memory device)의 일종으로 전원이 끊어진 상태에서도 저장 정보를 기억하는 장점이 있을 뿐만 아니라 동작 속도도 DRAM에 필적하여 차세대 기억소자로 각광받고 있다.

<23> 이와 같은 강유전체 캐패시터의 상/하부 전극 재료로서 전극 특성이 우수한 백금막(Pt), 이리듐막(Ir), 루테튬막(Ru) 등의 귀금속(noble metal)을 주로 이용하고 있다.

<24> 그러나, 하부전극으로 이용된 귀금속들은 층간절연막(특히 산화막)과 접착력이 약하기 때문에 유전막 증착 및 후속 열공정이나 세정 공정에서 리프팅(lifting)이 발생하여 구조의 변형이 나타나게 되므로 소자 제조를 어렵게 하는 문제점이 있다.

<25> 이를 해결하기 위해 하부전극과 층간절연막 사이에 접착층(adhesion layer)을 삽입하는 기술이 제안되었다.

<26> 도 1a 내지 도 1e는 종래 기술에 따른 강유전체 메모리 소자의 제조 방법을 도시한 공정 단면도이다.

<27> 도 1a에 도시된 바와 같이, 반도체 기판(11)에 필드산화막(12)을 형성한 후, 필드산화막(12)이 형성된 반도체 기판(11)에 트랜지스터의 소스/드레인과 같은 불순물접합(13)을 형성한다. 그리고 나서, 반도체 기판(11) 상에 다층 구조의 제1층간절연막(14)을 형성한다. 이때, 제1층간절연막(14)이 다층 구조인 것은 스토리지노드콘택(SNC) 형성전에 이루어지는 워드라인, 랜딩플러그, 및 비트라인들의 절연을 위한 것이다.

<28> 다음에, 제1층간절연막(14)을 식각하여 불순물접합(13)의 일부를 노출시키는 스토리지노드콘택홀을 형성한 후, 스토리지노드콘택홀을 포함한 제1층간절연막(14) 상에 배리어메탈

(barrier metal)로서 티타늄막(Ti, 15)과 제1티타늄나이트라이드막(TiN, 16)을 차례로 증착한다. 그리고, 급속열처리 공정을 실시하여 불순물접합(13)과 티타늄막(15)의 계면에 티타늄실리사이드(17)를 형성시킨다. 이때, 티타늄실리사이드(17)는 오믹콘택을 형성하기 위한 것이다.

<29> 다음에, 제1티타늄나이트라이드막(16) 상에 다른 배리어메탈로서 제2티타늄나이트라이드막(18)을 증착한 후, 계속해서 스토리지노드콘택홀을 채울때까지 제2티타늄나이트라이드막(18) 상에 텅스텐막(19)을 증착한다.

<30> 도 1b에 도시된 바와 같이, 텅스텐막(19)과 제1,2티타늄나이트라이드막(16, 18)을 에치백공정을 이용하여 스토리지노드콘택홀내에 적당한 깊이로 리세스시킨다. 즉, 에치백공정후 스토리지노드콘택홀내에 일정 깊이로 리세스된 텅스텐플러그(19a)가 형성된다.

<31> 다음에, 텅스텐플러그(19a)를 포함한 제1충간절연막(14) 상에 또다른 배리어메탈로서 제3티타늄나이트라이드막(20)을 증착한 후, 제1충간절연막(14)의 표면이 드러날때까지 제3티타늄나이트라이드막(20)을 화학적기계적연마하여 평탄화시킨다. 이와 같은 화학적기계적연마후에 스토리지노드콘택홀내 텅스텐플러그(19a) 상에만 제3티타늄나이트라이드막(20)이 잔류한다.

<32> 결국, 스토리지노드콘택(SNC)은 삼중 티타늄나이트라이드(16, 18, 20) 구조의 배리어메탈과 텅스텐플러그(19a)로 이루어진다.

<33> 도 1c에 도시된 바와 같이, 평탄화된 결과물, 즉, 제1충간절연막(14) 및 제3티타늄나이트라이드막(20) 상에 접착층(21)을 증착한다. 이때, 접착층(21)으로는 알루미늄(Al_2O_3)을 이용한다.

<34> 다음에, 텅스텐플러그(19a) 상부를 개방시키기 위한 접착층 마스크 및 식각 공정을 진행한다. 예컨대, 접착층(21) 상에 감광막을 도포한 후 노광 및 현상으로 패터닝하여 접착층을 식

각하기 위한 콘택마스크를 형성하고, 이 콘택마스크를 식각마스크로 접착층(21)을 식각하여 텅스텐플러그(19a) 상부를 오픈시킨다.

<35> 도 1d에 도시된 바와 같이, 텅스텐플러그(19a) 상부를 오픈시킨 접착층(21) 상에 이리듐막(22), 이리듐산화막(23) 및 백금막(24)의 순서로 적층한 후, 백금막(24), 이리듐산화막(23), 이리듐막(22) 및 접착층(21)을 순차적으로 식각하여 하부전극을 형성한다. 결국, 텅스텐플러그(19a) 상부에 백금막/이리듐산화막/이리듐막(24/23/22)의 적층 하부전극이 형성되고, 하부전극의 이리듐막(22)과 층간절연막(14) 사이에 접착층(21)이 잔류한다.

<36> 다음에, 적층 하부전극을 포함한 전면에 제2층간절연막(25)을 증착한 후 백금막(24)의 표면이 드러날때까지 제2층간절연막(25)을 화학적기계적연마하여 적층 하부전극을 에워싸는 형태의 제2층간절연막(25)을 잔류시킨다.

<37> 다음에, 제2층간절연막(25) 및 백금막(24) 상에 강유전체막(26)을 형성하고, 강유전체막(26) 상에 상부전극(27)을 형성한 후, 강유전체막의 결정화를 위한 고온 열처리를 진행한다.

<38> 도 1e에 도시된 바와 같이, 상부전극(27)을 식각한다. 다음에, 상부전극(27) 식각시 손상받은 강유전체막(26)을 회복시켜 주기 위해 회복 열처리를 진행한다.

<39> 그러나, 상술한 종래기술에서는, 텅스텐플러그(19a) 상부를 노출시키기 위해 접착층 식각 공정이 추가로 필요하는 등 공정이 매우 복잡하고, 아울러 접착층 식각 공정은 소자가 고밀도화됨에 따라 하부전극과의 공정 마진이 부족해진다.

<40> 이와 같이, 공정 마진이 부족해지면 하부전극과 제1층간절연막(14) 사이에 접착층(21)이 없는 지역이 발생하고, 이는 강유전체막(26)의 결정화를 위한 고온 열처리 및 회복 열처리 진

행시, 접착층(21)이 없는 지역의 하부전극과 제1충간절연막(14)의 계면을 따라 산소가 침투(28)하여 스토리지노드콘택을 이루고 있는 제3티타늄나이트라이드막(20)을 산화시키는 문제를 초래한다.

<41> 도 2a는 하부전극 공정후의 TEM 사진이고, 도 2b는 강유전체막의 결정화를 위한 열처리 공정후의 TEM 사진이다.

<42> 도 2a 및 도 2b에 도시된 바와 같이, 하부전극 형성후까지는 제3티타늄나이트라이드가 산화되지 않지만, 열처리 공정후에 제3티타늄나이트라이드막이 산화되고 있음을 알 수 있다. 도 2b에 도시된 것처럼, TiN 산화는 고온의 열처리 분위기에서 티타늄나이트라이드의 체적이 증가하거나 구성원소가 증기(vapor) 상태가 됨에 따라 박막이 급격하게 팽창하고 부풀어 오르는 현상에 기인한다.

<43> 이와 같이 제3티타늄나이트라이드막이 산화되는 경우에는 누설전류가 증가하는 문제가 있다.

【발명이 이루고자 하는 기술적 과제】

<44> 본 발명은 상기 종래 기술의 문제점을 해결하기 위해 안출한 것으로, 후속 열처리 공정시에 하부전극과 충간절연막간 계면을 통해 침투하는 산소로 인해 스토리지노드콘택을 이루는 배리어메탈이 산화되는 것을 방지하는데 적합한 강유전체 메모리 소자의 제조 방법을 제공하는 데 그 목적이 있다.

<45> 또한, 본 발명의 다른 목적은 텅스텐플러그 상부의 접착층을 오픈시키기 위한 마스크 및 식각 공정을 도입함에 따른 공정 마진의 부족을 감소시키는데 적합한 강유전체 메모리 소자의 제조 방법을 제공하는데 있다.

【발명의 구성 및 작용】

<46> 상기 목적을 달성하기 위한 본 발명의 강유전체 메모리 소자의 제조 방법은 트랜지스터가 형성된 반도체 기판 상부에 층간절연막을 형성하는 단계; 상기 층간절연막을 식각하여 상기 반도체 기판의 일부를 노출시키는 스토리지노드콘택홀을 형성하는 단계, 상기 스토리지노드콘택홀에 플러그와 배리어메탈의 순서로 적층된 스토리지노드콘택을 매립시키는 단계, 상기 스토리지노드콘택 및 상기 층간절연막 상에 접착층을 형성하는 단계, 상기 접착층중에서 상기 플러그 상부에 형성된 부분에 균열을 발생시키는 단계, 상기 접착층의 균열이 발생된 부분을 선택적으로 제거하여 상기 플러그 상부의 배리어메탈 표면을 노출시키는 단계, 및 상기 표면이 노출된 배리어메탈을 통해 상기 플러그에 연결되는 강유전체 캐패시터를 형성하는 단계를 포함하는 것을 특징으로 하며, 상기 균열을 발생시키는 단계는, 400℃~1000℃의 온도에서 질소(N₂) 또는 아르곤(Ar) 가스 분위기에서 급속열처리하는 것을 특징으로 하고, 상기 접착층의 균열이 발생된 부분을 선택적으로 제거하여 상기 플러그 상부의 배리어메탈을 오픈시키는 단계는 SC-1(NH₄OH:H₂O₂:H₂O=1:4:20) 또는 SPM 용액을 이용하여 1분~1시간동안 세정하여 이루어지는 것을 특징으로 한다.

<47> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

- <48> 후술할 실시예들에서는 텅스텐플러그 또는 폴리실리콘플러그 상부에 형성된 접착층의 일 부분에 열팽창계수 차이를 이용하여 균열(Crack)을 발생시킨 후 후속 세정하므로써 추가의 접착층 오픈마스크 및 식각없이도 하부전극과 플러그간을 전기적으로 연결시킬 수 있는 방법에 대해 설명하고 있다.
- <49> 도 3a 내지 도 3g는 본 발명의 제1실시예에 따른 강유전체 메모리 소자의 제조 방법을 도시한 공정 단면도이다.
- <50> 도 3a에 도시된 바와 같이, 반도체 기판(31)에 필드산화막(32)을 형성한 후, 필드산화막(32)이 형성된 반도체 기판(31)에 트랜지스터의 소스/드레인과 같은 불순물접합(33)을 형성한다. 그리고 나서, 반도체 기판(31) 상에 다층 구조의 제1층간절연막(34)을 형성한다. 이때, 제1층간절연막(34)이 다층 구조인 것은 스토리지노드콘택(SNC) 형성전에 이루어지는 워드라인, 랜딩플러그, 및 비트라인들의 절연을 위한 것이다. 바람직하게, 제1층간절연막(34)은 제1층간절연막(34)으로는 HDP(High Density Plasma oxide), BPSG(Boro Phospho Silicate Glass), PSG(Phospho Silicate Glass), MTO(Middle Temperature Oxide), HTO(High Temperature Oxide) 및 TEOS(Tetra Ethyl Ortho Silicate oxide)로 이루어진 실리콘산화막 그룹중에서 선택되며, 증착후에 평탄화를 목적으로 화학적기계적연마(CMP)가 진행되거나 증착후에 평탄화 및 치밀화를 목적으로 열처리를 진행할 수 있다. 이때, 열처리는 400℃~800℃의 온도와 N₂, O₂, Ar, He, Ne, Kr 또는 오존 분위기에서 1초~2시간동안 진행한다.
- <51> 다음에, 제1층간절연막(34)을 식각하여 불순물접합(33)의 일부를 노출시키는 스토리지노드콘택홀을 형성한 후, 스토리지노드콘택홀을 포함한 제1층간절연막(34) 상에 배리어메탈로서 티타늄막(Ti, 35)과 제1티타늄나이트라이드막(TiN, 36)을 차례로 증착한다. 이때, 티타늄막(35)은 10Å~500Å 두께로 증착하고, 제1티타늄나이트라이드막(36)은 50Å~1000Å 두께로 증

착하며, 티타늄막(35)과 제1티타늄나이트라이드막(36)은 물리기상증착법(Physical Vapor Deposition; PVD), 화학기상증착법(Chemical Vapor Deposition; CVD) 또는 원자층증착법(Atomic Layer Deposition; ALD)을 이용하여 증착한다.

<52> 다음에, 급속열처리(Rapid Thermal Annealing) 공정을 실시하여 불순물접합(33)과 티타늄막(35)의 계면에 티타늄실리사이드(Ti-silicide, 37)를 형성시킨다. 이때, 티타늄실리사이드(37)는 오믹콘택(ohmic contact)을 형성하기 위한 것이다. 바람직하게, 티타늄실리사이드(37)를 형성하기 위한 급속열처리시, 600℃~1000℃의 온도에서 N₂, NH₃, Ar., He, Ne 또는 Kr의 비활성 분위기로 1초~10분동안 진행한다. 다른 방법으로 티타늄실리사이드(37)를 형성하기 위해 확산로(Diffusion furnace)를 이용하여 열처리할 수 있는데, 이때 열처리는 10분~1시간동안 진행한다.

<53> 한편, 티타늄실리사이드(37)와 같은 오믹콘택을 형성하는 실리사이드를 형성하기 위해 제1티타늄나이트라이드막/티타늄막(36/35) 구조외에 TaN/Ta, TiAlN/Ti, TaSiN/Ta, TiSiN/Ti, TaAlN/Ta, RuTiN/Ti 또는 RuTaN/Ta의 적층 구조를 이용할 수도 있다.

<54> 다음에, 제1티타늄나이트라이드막(36) 상에 다른 배리어메탈로서 제2티타늄나이트라이드막(38)을 증착한 후, 계속해서 스토리지노드콘택홀을 채울때까지 제2티타늄나이트라이드막(38) 상에 텅스텐막(39)을 증착한다. 이때, 제2티타늄나이트라이드막(28)은 텅스텐막(39)의 텅스텐과 접합층(33)내 실리콘의 상호확산을 방지하기 위한 것으로 50Å~1000Å 두께가 바람직하고, 텅스텐막(39)은 플러그의 크기에 따라서 결정되는데, 플러그의 직경이 0.3μm인 경우 3000Å 두께가 바람직하다.

<55> 도 3b에 도시된 바와 같이, 텅스텐막(39)과 제1,2티타늄나이트라이드막(36, 38)을 에치백공정을 이용하여 스토리지노드콘택홀내에 적당한 깊이로 리세스시킨다. 즉, 에치백공정후 스

토리지노드콘택홀내에 일정 깊이로 리세스된 텅스텐플러그(39a)가 형성된다. 이때, 리세스 깊이는 후속 공정을 고려하여 $500\text{\AA} \sim 3000\text{\AA}$ 이면 적당하다.

<56> 다음에, 텅스텐플러그(39a)를 포함한 제1층간절연막(34) 상에 또다른 배리어메탈로서 제3티타늄나이트라이드막(40)을 증착한다. 이때, 제3티타늄나이트라이드막(40)은 이전 공정의 리세스 깊이에 따라서 결정되는데, 예컨대 1000\AA 정도 리세스시킨 경우이면 공정 마진을 고려하여 1500\AA 보다 두껍게 증착한다.

<57> 다음에, 매립(Buried) 구조의 티타늄나이트라이드 구조를 형성한다. 예를 들어, 제1층간절연막(34)의 표면이 드러날때까지 제3티타늄나이트라이드막(40)을 화학적기계적연마하여 평탄화시킨다. 이와 같은 화학적기계적연마후에 스토리지노드콘택홀내 텅스텐플러그(39a) 상에만 제3티타늄나이트라이드막(40)이 매립된 형태로 잔류한다.

<58> 결국, 스토리지노드콘택(SNC)은 삼중 티타늄나이트라이드(36, 38, 40) 구조의 배리어메탈과 텅스텐플러그(39a)로 이루어진다. 한편, 텅스텐플러그(39a) 상부에 매립되는 제3티타늄나이트라이드막(40)외에 TaN, TiAlN, TiSiN, TaSiN, RuTiN, TaAlN, RuTaN, CrTiN 또는 CrTaN을 이용할 수 있다.

<59> 도 3c에 도시된 바와 같이, 평탄화된 결과물, 즉, 제1층간절연막(34) 및 제3티타늄나이트라이드막(40) 상에 접착층(41)을 증착한다. 이때, 접착층(41)으로는 알루미나(Al_2O_3)를 이용하며, 원자층증착법(ALD), 화학기상증착법(CVD), 물리기상증착법(PVD)을 이용하여 $10\text{\AA} \sim 500\text{\AA}$ 두께로 충분히 얇게 한다. 이와 같이, 접착층(41)을 충분히 얇게 하는 이유는 후속 공정에서 식각공정없이도 열공정에 의해 접착층이 파괴되어 제거될 수 있도록 하기 위한 것이며, 이러한 얇은 두께는 접착층 역할을 하는데 충분하다.

- <60> 한편, 접착층(41)으로는 티타늄산화막(TiO_2) 또는 탄탈륨산화막(TaO_2)을 이용할 수 있다.
- <61> 다음에, 급속열처리 공정을 실시하여 텅스텐플러그(39a) 상부의 접착층(41) 표면에 균열(crack, 42)을 유발시킨다. 이때, 급속열처리 공정은 $400^\circ\text{C} \sim 1000^\circ\text{C}$ 의 온도에서 질소(N_2) 또는 아르곤(Ar) 가스 분위기에서 진행하며, 이러한 급속열처리 조건은 텅스텐플러그(39a)가 산화되지 않는 조건이다.
- <62> 이와 같은 일련의 급속열처리 공정시에 발생하는 균열(42)은 급속열처리 공정시에 텅스텐(W)이-제1층간절연막(34)인 실리콘산화막(SiO_x)보다 열팽창계수가 10배 정도 크기 때문에 텅스텐플러그(39a) 및 제3티타늄나이트라이드(40) 상부에서만 발생한다. 예컨대, 텅스텐의 열팽창계수가 $4 \times 10^{-6}\text{K}^{-1}$ 이고, 실리콘산화막의 열팽창계수가 $0.5 \times 10^{-6}\text{K}^{-1}$ 임을 감안하면, 텅스텐의 열팽창계수가 산화막의 그것보다 약 10배 정도 큼을 알 수 있다. 따라서, 텅스텐플러그(39a)가 급속열처리 공정시에 부피팽창을 일으켜 제3티타늄나이트라이드(40) 및 접착층(41)에 응력을 가하게 되고, 이러한 응력에 의해 접착층(41)의 일부, 즉 텅스텐플러그(39a) 상부에 형성된 부분에 균열(42)이 발생한다. 이때, 제1층간절연막(34)도 급속열처리 공정시에 팽창할 수 있으나, 그 팽창정도가 텅스텐플러그(39a)에 비해 현저히 작아 접착층(41)에 균열을 일으키지는 않는다.
- <63> 한편, 접착층(41)인 알루미늄의 열팽창계수는 $6.5 \times 10^{-6}\text{K}^{-1}$ 이고, 제3티타늄나이트라이드(40)의 열팽창계수는 $9.3 \times 10^{-6}\text{K}^{-1}$ 이다.
- <64> 도 3d에 도시된 바와 같이, SC-1($\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O}=1:4:20$)을 이용하여 후속 세정 공정을 1분~1시간동안 진행한다. 이때, SC-1을 이용한 세정시 제3티타늄나이트라이드(40)는 $20\text{\AA}/\text{분}$,

접착층(41)인 알루미늄은 5Å/분, 제1층간절연막(34)은 5Å/분의 식각률을 갖고, 특히 접착층(41)의 균열(42) 부분은 균열이 발생되지 않은 부분의 식각률보다 더 크다.

<65> 따라서, SC-1은 산화막인 제1층간절연막(34)은 식각하지 못하지만 TiN은 잘 식각시키기 때문에 균열(42)이 발생된 지역의 접착층(41)과 제3티타늄나이트라이드(40)를 선택적으로 제거할 수 있다.

<66> 이와 같은 SC-1 세정후에 후속 하부전극과 텅스텐플러그(39a)간 접합부분, 예컨대 제3티타늄나이트라이드(40) 표면이 오픈되고(43), 이때, 오픈되는 제3티타늄나이트라이드(40)가 SC-1에 의해 잘 식각됨에 따라 일부분 식각되어 아래로 함몰되는 형태일 수 있다. 즉, 제3티타늄나이트라이드(40)위에 발생한 접착층의 균열(42)로 침투하여 제3티타늄나이트라이드(40)만 약간 식각할 수 있다.

<67> 한편, 접착층(41)의 균열(42)을 제거하기 위한 세정 공정시에 SPM(Sulfuric acid-Peroxide mixture, $H_2SO_4:H_2O_2$) 용액을 이용할 수 있다.

<68> 도 3e에 도시된 바와 같이, 텅스텐플러그(39a) 상부를 오픈시킨 접착층(41) 상에 이리듐막(44), 이리듐산화막(45) 및 백금막(46)의 순서로 적층한다. 이때, 이리듐막(44)은 100Å ~ 2000Å, 이리듐산화막(45)은 10Å ~ 500Å, 백금막(46)은 100Å ~ 2000Å 두께로 증착하며, 각각 물리기상증착법(PVD), 화학기상증착법(CVD) 또는 원자층증착법(ALD)을 이용하여 증착한다. 특히, 이리듐막(44)은 수직 방향으로 산소침투를 방지하는 역할도 수행하는데, 그 두께가 1000Å 보다 두꺼우면 수직 방향의 산소침투를 방지할 수 있다. 이와 같은 산소침투 방지 역할을 하는 막으로 이리듐막(44)외에 RuTiN, CrTaN, CrTiN 또는 RuTaN을 이용할 수도 있다.

<69> 다음에, 백금막(46), 이리듐산화막(45), 이리듐막(44) 및 접착층(41)을 순차적으로 식각하여 하부전극을 형성한다. 결국, 텅스텐플러그(39a) 상부에 백금막/이리듐산화막/이리듐막(46/45/44)의 적층 하부전극이 형성되고, 하부전극의 이리듐막(44)과 제1층간절연막(34) 사이에 접착층(41)이 잔류한다. 이때, 백금막(46) 하부의 이리듐산화막/이리듐막(45/44)의 적층은 텅스텐플러그(39a)가 산화되는 것을 방지하기 위한 산화방지막 역할을 하는데, 이러한 산화방지막으로는 RuTiN, CrTiN, RuTaN 또는 CrTaN을 이용할 수 있다.

<70> 다음에, 적층 하부전극을 포함한 전면의 제2층간절연막(47)을 증착한 후 백금막(46)의 표면이 드러날때까지 제2층간절연막(47)을 평탄화하여 적층 하부전극을 에워싸는 형태의 제2층간절연막(47)을 잔류시킨다. 여기서, 제2층간절연막(47)의 평탄화는 화학적기계적연마 외에 에치백 공정을 적용할 수 있으며, 일부분 화학적기계적연마한 후 다시 에치백 공정을 적용하는 2단계 평탄화 공정을 실시할 수 있다. 예컨대, 2단계 평탄화 공정을 이용하는 경우, 적층 하부전극의 최상부층인 백금막(46) 상부에 제2층간절연막이 소정 두께로 잔류할 때까지 화학적기계적연마하고, 계속해서 백금막(46)의 표면이 드러날때까지 에치백한다. 이와 같이, 2단계 평탄화 공정을 이용하면 화학적기계적연마만을 적용한 경우에 발생하는 스크래치(scratch) 등의 손실로부터 백금막(46)을 보호할 수 있다.

<71> 전술한 제2층간절연막(47)으로는 HDP, BPSG, PSG, MTO, HTO 또는 TEOS 산화막을 이용하며, 물리기상증착법(PVD), 화학기상증착법(CVD), 원자층증착법(ALD) 또는 스핀온법(Spin-on)을 이용하여 3000Å~30000Å 두께로 증착한다.

<72> 또한, 제2층간절연막(47) 형성시에 제2층간절연막(47)의 열안정성 및 산소확산방지특성을 강화시킬 목적으로 두 층으로 나누어 증착할 수 있는데, 산소확산방지특성이 우수한 알루미늄(Al

SiO_2), 실리콘나이트라이드(Si_3N_4) 또는 실리콘옥시나이트라이드(SiON)의 산소배리어막을 먼저 증착한 후에 HDP, BPSG, PSG, MTO, HTO 또는 TEOS 산화막을 증착한다. 여기서, 알루미늄(Al_2O_3), 실리콘나이트라이드(Si_3N_4) 또는 실리콘옥시나이트라이드(SiON)와 같은 산소 배리어막은 적층 하부전극을 에워싸는 형태로 잔류하여 후속 열공정시 산소가 하부전극으로 침투하는 것을 방지함과 동시에 하부전극 아래로 산소가 침투하는 것도 방지한다.

<73> 위와 같은 제2층간절연막(47)의 평탄화 공정후에 추가 평탄화, 치밀화 및 수분 제거를 목적으로 열처리 공정을 진행할 수 있는데, 열처리 공정은 $400^\circ\text{C} \sim 800^\circ\text{C}$ 의 온도와 N_2 , O_2 , Ar, He, Kr 또는 오존(O_3) 분위기에서 1초~2시간동안 실시한다.

<74> 도 3f에 도시된 바와 같이, 제2층간절연막(47) 및 표면이 노출된 백금막(46) 상에 강유전체막(48)을 형성한다. 이때, 강유전체막(48)은 화학기상증착법(CVD), 원자층증착법(ALD), 금속유기증착법(MOD) 및 스핀코팅법(Spin coating) 중에서 선택된 하나의 증착법을 이용하여 $50 \text{ \AA} \sim 2000 \text{ \AA}$ 의 두께로 증착하며, 통상의 SBT, PZT 및 BLT 중에서 선택된 하나이거나 불순물이 첨가되거나 조성 변화된 SBT, PZT, SBTN 및 BLT 중에서 선택된 하나를 이용한다.

<75> 다음에, 강유전체막(48) 상에 상부전극(49)을 형성한다. 이때, 상부전극(49)은 Pt, Ir, Ru, IrO_2 , RuO_2 , Pt/ IrO_2 , Pt/ IrO_2 /Ir, IrO_2 /Ir, RuO_2 /Ru, Pt/ RuO_2 /Ru 및 Pt/ RuO_2 로 이루어진 그룹중에서 선택된다.

<76> 다음에, 강유전체막(48)의 결정화를 위한 고온 열처리를 진행한다.

<77> 도 3g에 도시된 바와 같이, 상부전극(49)과 강유전체막(48)을 동시에 식각하거나, 상부전극을 먼저 식각한 후에 강유전체막을 필요한 부분만 제거하는 2단계 식각 공정을 진행한다.

다음에, 상부전극(49) 식각시 손상받은 강유전체막(48)을 회복시켜 주기 위해 회복 열처리를 진행한다.

<78> 전술한 바와 같은 실시예에 따르면, 추가적인 접착층 오픈 마스크 및 식각 공정없이 텅스텐플러그(39a) 상부의 접착층(41)을 제거하여 공정마진을 확보할 수 있고, 이로써 하부전극과 접착층(41)간 접착면적을 넓혀 후속 열공정시 산소침투경로를 최소화시킨다. 따라서, 산소침투에 따른 제3티타늄나이트라이드(40)의 산화를 방지한다.

<79> 도 4는 본 발명의 강유전체막의 회복열처리 공정후의 결과를 도시한 사진이다. 도 4에서, 제3티타늄나이트라이드는 1000 Å, 접착층인 알루미늄은 10 Å, 이리듐막은 1000 Å, 이리듐산화막은 100 Å, 백금막은 1000 Å, 강유전체막인 BLT막은 1000 Å, 상부전극인 백금막은 1500 Å으로 형성하였다.

<80> 도 4에 나타난 바와 같이, 접착층 오픈 마스크 및 식각 공정없이 열팽창계수 차이를 이용한 균열을 통해 하부전극과 텅스텐플러그를 전기적으로 연결하고, 더욱이 하부전극과 제1층 간절연막 계면에 접착층을 최대한 확보하여 수평 방향으로의 산소침투를 방지하므로써 제3티타늄나이트라이드가 산화되는 것이 억제되고 있음을 알 수 있다.

<81> 도 5a는 종래기술에 따른 콘택저항을 나타낸 그래프이고, 도 5b는 본 발명의 실시예에 따른 콘택저항을 나타낸 그래프이다.

<82> 도 5a 및 도 5b에서, 가로좌표는 콘택저항(Ω /플러그)을 나타내고, 세로좌표는 누적률(cumulative probability, %)를 나타내며, 결과치($\nabla, \Delta, \otimes, \oplus$)들은 각각 하부전극과 스토리지 노드콘택의 오버랩효과(over effect)에 따른 콘택저항값을 나타낸 것이다. 예컨대, BEOver45는

하부전극(Bottom Electrode; BE)과 스토리지노드콘택의 오버랩정도가 매우 큰 것이며, BEover22는 하부전극과 스토리지노드콘택의 오버랩정도가 매우 작은 것이다.

<83> 도 5a를 살펴보면, 접착층 오픈 마스크 및 식각을 통해 하부전극과 플러그를 전기적으로 연결시키는 종래 기술에서는 $50M\Omega \sim 100M\Omega$ 로 분포하고 있는 바, 콘택저항값이 매우 높은 것으로 나타남을 알 수 있다. 이때, 오버랩정도가 큰 경우가 오버랩정도가 작은 경우에 비해 콘택저항값이 작게 나타나고 있다.

<84> - - - 반면에, 도 5b에 도시된 바와 같이, 접착층 오픈 마스크 및 식각공정없이 균열 및 SC-1 세정을 통해 하부전극과 플러그를 전기적으로 연결시키는 본 발명에서는 콘택저항값이 $1k\Omega \sim 10k\Omega$ 로 매우 낮게 측정됨을 알 수 있다. 본 발명에서도 오버랩정도가 큰 경우가 오버랩정도가 작은 경우에 비해 콘택저항값이 작게 나타나고 있다.

<85> 도 6a 내지 도 6h는 본 발명의 제2실시예에 따른 강유전체 메모리 소자의 제조 방법을 도시한 공정 단면도이다.

<86> 도 6a에 도시된 바와 같이, 반도체 기판(51)에 필드산화막(52)을 형성한 후, 필드산화막(52)이 형성된 반도체 기판(51)에 트랜지스터의 소스/드레인과 같은 불순물접합(53)을 형성한다. 그리고 나서, 반도체 기판(51) 상에 다층 구조의 제1층간절연막(54)을 형성한다. 이때, 제1층간절연막(54)이 다층 구조인 것은 스토리지노드콘택(SNC) 형성전에 이루어지는 워드라인, 랜딩플러그, 및 비트라인들의 절연을 위한 것이다. 바람직하게, 제1층간절연막(54)은 제1층간절연막(54)으로는 HDP(High Density Plasma oxide), BPSG(Boro Phospho Silicate Glass), PSG(Phospho Silicate Glass), MTO(Middle Temperature Oxide), HTO(High Temperature Oxide) 및 TEOS(Tetra Ethyl Ortho Silicate oxide)로 이루어진 실리콘산화막 그룹중에서 선택되며, 증착후에 평탄화를 목적으로 화학적기계적연마(CMP)가 진행되거나 증착

후에 평탄화 및 치밀화를 목적으로 열처리를 진행할 수 있다. 이때, 열처리는 $400^{\circ}\text{C} \sim 800^{\circ}\text{C}$ 의 온도와 N_2 , O_2 , Ar, He, Ne, Kr 또는 오존 분위기에서 1초~2시간동안 진행한다.

<87> 다음에, 제1층간절연막(54)을 식각하여 불순물접합(53)의 일부를 노출시키는 스토리지노드콘택홀을 형성한 후, 스토리지노드콘택홀을 포함한 제1층간절연막(54) 상에 배리어메탈로서 티타늄막(Ti, 55)과 제1티타늄나이트라이드막(TiN , 56)을 차례로 증착한다. 이때, 티타늄막(55)은 $10\text{\AA} \sim 500\text{\AA}$ 두께로 증착하고, 제1티타늄나이트라이드막(56)은 $50\text{\AA} \sim 1000\text{\AA}$ 두께로 증착하며, 티타늄막(55)과 제1티타늄나이트라이드막(56)은 물리기상증착법(Physical Vapor Deposition; PVD), 화학기상증착법(Chemical Vapor Deposition; CVD) 또는 원자층증착법(Atomic Layer Deposition; ALD)을 이용하여 증착한다.

<88> 다음에, 급속열처리(Rapid Thermal Annealing) 공정을 실시하여 불순물접합(53)과 티타늄막(55)의 계면에 티타늄실리사이드(Ti-silicide, 57)를 형성시킨다. 이때, 티타늄실리사이드(57)는 오믹콘택(ohmic contact)을 형성하기 위한 것이다. 바람직하게, 티타늄실리사이드(57)를 형성하기 위한 급속열처리시, $600^{\circ}\text{C} \sim 1000^{\circ}\text{C}$ 의 온도에서 N_2 , NH_3 , Ar, He, Ne 또는 Kr의 비활성 분위기로 1초~10분동안 진행한다. 다른 방법으로 티타늄실리사이드(57)를 형성하기 위해 확산로(Diffusion furnace)를 이용하여 열처리할 수 있는데, 이때 열처리는 10분~1시간동안 진행한다.

<89> 한편, 티타늄실리사이드(57)와 같은 오믹콘택을 형성하는 실리사이드를 형성하기 위해 제1티타늄나이트라이드막/티타늄막(56/55) 구조외에 TaN/Ta, TiAlN/Ti , TaSiN/Ta, TiSiN/Ti , TaAlN/Ta, RuTiN/Ti 또는 RuTaN/Ta 의 적층 구조를 이용할 수도 있다.

<90> 다음에, 제1티타늄나이트라이드막(56) 상에 다른 배리어메탈로서 제2티타늄나이트라이드막(58)을 증착한 후, 계속해서 스토리지노드콘택홀을 채울때까지 제2티타늄나이트라이드막(58) 상에 텅스텐막(59)을 증착한다. 이때, 제2티타늄나이트라이드막(58)은 텅스텐막(39)의 텅스텐과 접합층(53)내 실리콘의 상호확산을 방지하기 위한 것으로 $50\text{\AA} \sim 1000\text{\AA}$ 두께가 바람직하고, 텅스텐막(59)은 플러그의 크기에 따라서 결정되는데, 플러그의 직경이 $0.3\mu\text{m}$ 인 경우 3000\AA 두께가 바람직하다.

<91> 도 6b에 도시된 바와 같이, 텅스텐막(59)과 제1,2티타늄나이트라이드막(56, 58)을 에치백공정을 이용하여 스토리지노드콘택홀내에 적당한 깊이로 리세스시킨다. 즉, 에치백공정후 스토리지노드콘택홀내에 일정 깊이로 리세스된 텅스텐플러그(59a)가 형성된다. 이때, 리세스 깊이는 후속 공정을 고려하여 $500\text{\AA} \sim 3000\text{\AA}$ 이면 적당하다.

<92> 다음에, 텅스텐플러그(59a)를 포함한 제1층간절연막(54) 상에 또다른 배리어메탈로서 제3티타늄나이트라이드막(60)을 증착한다. 이때, 제3티타늄나이트라이드막(60)은 이전 공정의 리세스 깊이에 따라서 결정되는데, 예컨대 1000\AA 정도 리세스시킨 경우이면 공정 마진을 고려하여 1500\AA 보다 두껍게 증착한다.

<93> 다음에, 매립(Buried) 구조의 티타늄나이트라이드 구조를 형성한다. 예를 들어, 제1층간절연막(54)의 표면이 드러날때까지 제3티타늄나이트라이드막(60)을 화학적기계적연마하여 평탄화시킨다. 이와 같은 화학적기계적연마후에 스토리지노드콘택홀내 텅스텐플러그(59a) 상에만 제3티타늄나이트라이드막(60)이 매립된 형태로 잔류한다.

<94> 결국, 스토리지노드콘택(SNC)은 삼중 티타늄나이트라이드(56, 58, 60) 구조의 배리어메탈과 텅스텐플러그(59a)로 이루어진다. 한편, 텅스텐플러그(59a) 상부에 매립되는 제3티타늄나

이트라이드막(60)외에 TaN, TiAlN, TiSiN, TaSiN, RuTiN, TaAlN, RuTaN, CrTiN 또는 CrTaN을 이용할 수 있다.

<95> 도 6c에 도시된 바와 같이, 평탄화된 결과물, 즉, 제1층간절연막(54) 및 제3티타늄나이트라이드막(60) 상에 접착층(61)을 증착한다. 이때, 접착층(61)으로는 알루미나(Al_2O_3)를 이용하며, 원자층증착법(ALD), 화학기상증착법(CVD), 물리기상증착법(PVD)을 이용하여 10 Å ~ 500 Å 두께로 충분히 얇게 한다. 이와 같이, 접착층(61)을 충분히 얇게 하는 이유는 후속 공정에서 식각공정없이도 열공정에 의해 접착층이 파괴되어 제거될 수 있도록 하기 위한 것이며, 이러한 얇은 두께는 접착층 역할을 하는데 충분하다.

<96> 한편, 접착층(61)으로는 티타늄산화막(TiO_2) 또는 탄탈륨산화막(TaO_2)을 이용할 수 있다.

<97> 다음에, 급속열처리 공정을 실시하여 텅스텐플러그(59a) 상부의 접착층(61) 표면에 균열(crack, 62)을 유발시킨다. 이때, 급속열처리 공정은 400°C ~ 1000°C의 온도에서 질소(N_2) 또는 아르곤(Ar) 가스 분위기에서 진행하며, 이러한 급속열처리 조건은 텅스텐플러그(59a)가 산화되지 않는 조건이다.

<98> 이와 같은 일련의 급속열처리 공정시에 발생하는 균열(62)은 급속열처리 공정시에 텅스텐(W)이 제1층간절연막(54)인 실리콘산화막(SiO_x)보다 열팽창계수가 10배 정도 크기 때문에 텅스텐플러그(59a) 및 제3티타늄나이트라이드(60) 상부에서만 발생한다. 예컨대, 텅스텐의 열팽창계수가 $4 \times 10^{-6} K^{-1}$ 이고, 실리콘산화막의 열팽창계수가 $0.5 \times 10^{-6} K^{-1}$ 임을 감안하면, 텅스텐의 열팽창계수가 산화막의 그것보다 약 10배 정도 큼을 알 수 있다. 따라서, 텅스텐플러그(59a)가 급속열처리 공정시에 부피팽창을 일으켜 제3티타늄나이트라이드(60) 및 접착층(61)에 응력을 가하게 되고, 이러한 응력에 의해 접착층(61)의 일부, 즉 텅스텐플러그(59a) 상부에 형성된 부

분에 균열(62)이 발생한다. 이때, 제1층간절연막(54)도 급속열처리 공정시에 팽창할 수 있으나, 그 팽창정도가 텅스텐플러그(59a)에 비해 현저히 작아 접착층(61)에 균열을 일으키지는 않는다.

<99> 한편, 접착층(61)인 알루미늄의 열팽창계수는 $6.5 \times 10^{-6} \text{K}^{-1}$ 이고, 제3티타늄나이트라이드(60)의 열팽창계수는 $9.3 \times 10^{-6} \text{K}^{-1}$ 이다.

<100> 도 6d에 도시된 바와 같이, SC-1($\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O}=1:4:20$)을 이용하여 후속 세정 공정을 1분~1시간동안 진행한다. 이때, SC-1을 이용한 세정시 제3티타늄나이트라이드(60)는 20Å/분, 접착층(61)인 알루미늄은 5Å/분, 제1층간절연막(54)은 5Å/분의 식각률을 갖고, 특히 접착층(61)의 균열(62) 부분은 균열이 발생되지 않은 부분의 식각률보다 더 크다.

<101> 따라서, SC-1은 산화막인 제1층간절연막(54)은 식각하지 못하지만 TiN은 잘 식각시키기 때문에 균열(62)이 발생된 지역의 접착층(61)과 제3티타늄나이트라이드(60)를 선택적으로 제거할 수 있다.

<102> 이와 같은 SC-1 세정후에 후속 하부전극과 텅스텐플러그(59a)간 접합부분, 예컨대 제3티타늄나이트라이드(60) 표면이 오픈되고(63), 이때, 오픈되는 제3티타늄나이트라이드(60)가 SC-1에 의해 잘 식각됨에 따라 일부분 식각되어 아래로 함몰되는 형태일 수 있다. 즉, 제3티타늄나이트라이드(60)위에 발생한 접착층의 균열(62)로 침투하여 제3티타늄나이트라이드막(60)만 약간 식각할 수 있다.

<103> 한편, 접착층(61)의 균열(62)을 제거하기 위한 세정 공정시에 SPM(Sulfuric acid-Peroxide mixture, $\text{H}_2\text{SO}_4:\text{H}_2\text{O}_2$) 용액을 이용할 수 있다.

<104> 도 6e에 도시된 바와 같이, 텅스텐플러그(59a) 상부를 오픈시킨 접착층(61) 상에 이리듐막(64)을 증착한 후, 이리듐막(64)과 접착층(61)을 식각하여 접착층(61)을 포함하는 하부전극의 제1막을 정의한다. 이때, 이리듐막(64)은 물리기상증착법(PVD), 화학기상증착법(CVD) 또는 원자층증착법(ALD)을 이용하여 100Å~2000Å 두께로 증착한다. 특히, 이리듐막(64)은 수직 방향으로 산소침투를 방지하는 역할도 수행하는데, 그 두께가 1000Å보다 두꺼우면 수직 방향의 산소침투를 방지할 수 있다. 이와 같은 산소침투방지 역할을 하는 막으로 이리듐막(64)외에 RuTiN, CrTaN, CrTiN 또는 RuTaN을 이용할 수도 있다.

<105> 따라서, 하부전극의 제1막인 이리듐막(64)과 제1층간절연막(54) 사이에 접착층(61)이 빈틈없이 잔류한다.

<106> 도 6f에 도시된 바와 같이, 하부전극의 제1막을 포함한 제1층간절연막(54) 상에 제2층간절연막(65)을 증착한 후 이리듐막(64)의 표면이 드러날때까지 제2층간절연막(65)을 평탄화하여 하부전극의 제1막을 에워싸는 형태의 제2층간절연막(65)을 잔류시킨다. 여기서, 제2층간절연막(65)의 평탄화는 화학적기계적연마외에 에치백 공정을 적용할 수 있으며, 일부분 화학적기계적연마한 후 다시 에치백 공정을 적용하는 2단계 평탄화 공정을 실시할 수 있다. 예컨대, 2단계 평탄화 공정을 이용하는 경우, 하부전극의 제1막의 최상부층인 이리듐막(64) 상부에 제2층간절연막이 소정 두께로 잔류할 때까지 화학적기계적연마하고, 계속해서 이리듐막(64)의 표면이 드러날때까지 에치백한다. 이와 같이, 2단계 평탄화 공정을 이용하면 화학적기계적연마만을 적용한 경우에 발생하는 스크래치(scratch) 등의 손실로부터 이리듐막(64)을 보호할 수 있다.

<107> 전술한 제2층간절연막(65)으로는 HDP, BPSG, PSG, MTO, HTO 또는 TEOS 산화막을 이용하며, 물리기상증착법(PVD), 화학기상증착법(CVD), 원자층증착법(ALD) 또는 스핀온법(Spin-on)을 이용하여 3000Å~30000Å 두께로 증착한다.

- <108> 또한, 제2층간절연막(65) 형성시에 제2층간절연막(65)의 열안정성 및 산소확산방지특성을 강화시킬 목적으로 두 층으로 나누어 증착할 수 있는데, 산소확산방지특성이 우수한 알루미나(Al_2O_3), 실리콘나이트라이드(Si_3N_4) 또는 실리콘옥시나이트라이드(SiON)의 산소배리어막을 먼저 증착한 후에 HDP, BPSG, PSG, MTO, HTO 또는 TEOS 산화막을 증착한다. 여기서, 알루미나(Al_2O_3), 실리콘나이트라이드(Si_3N_4) 또는 실리콘옥시나이트라이드(SiON)와 같은 산소배리어막은 하부전극의 제1막을 에워싸는 형태로 잔류하여 후속 열공정시 산소가 하부전극의 제1막으로 침투하는 것을 방지함과 동시에 하부전극의 제1막 아래로 산소가 침투하는 것도 방지한다.
- <109> 위와 같은 제2층간절연막(65)의 평탄화 공정후에 추가 평탄화, 치밀화 및 수분 제거를 목적으로 열처리 공정을 진행할 수 있는데, 열처리 공정은 $400^\circ\text{C} \sim 800^\circ\text{C}$ 의 온도와 N_2 , O_2 , Ar, He, Kr 또는 오존(O_3) 분위기에서 1초~2시간동안 실시한다.
- <110> 다음으로, 평탄화된 제2층간절연막(65) 및 하부전극의 제1막 상에 이리듐산화막(66) 및 백금막(67)의 순서로 적층되는 하부전극의 제2막을 형성한다. 이때, 이리듐산화막(66)은 $10\text{\AA} \sim 500\text{\AA}$, 백금막(67)은 $100\text{\AA} \sim 2000\text{\AA}$ 두께로 증착하며, 각각 물리기상증착법(PVD), 화학기상증착법(CVD) 또는 원자층증착법(ALD)을 이용하여 증착한다.
- <111> 다음에, 백금막(67) 상에 강유전체막(68)을 증착한다. 이때, 강유전체막(68)은 화학기상증착법(CVD), 원자층증착법(ALD), 금속유기증착법(MOD), 졸겔(Sol-gel)법 및 스핀코팅법(Spin coating) 중에서 선택된 하나의 증착법을 이용하여 $50\text{\AA} \sim 2000\text{\AA}$ 의 두께로 증착하며, 통상의 SBT, PZT 및 BLT 중에서 선택된 하나이거나 불순물이 첨가되거나 조성 변화된 SBT, PZT, SBTN 및 BLT 중에서 선택된 하나를 이용한다.

- <112> 다음에, 강유전체막(68)의 불순물 제거 및 결정화를 위한 후속 열처리를 진행한다. 강유전체막(68)이 BLT인 경우, BLT 증착후에 유기불순물 제거를 위한 제1급속열처리(RTP-1), BLT의 핵생성을 위한 제2급속열처리(RTP-2), BLT의 입자성장을 위한 로열처리(Furnace Annealing) 공정을 순차적으로 진행한다. 예를 들어, BLT 증착후에는 유기물을 제거하기 위하여 150℃와 250℃ 등에서 베이킹(baking)을 실시한 후, 475℃/O₂/60초의 조건으로 제1급속열처리 공정을 수행하여 유기물 불순물을 충분히 제거하고, 계속해서 600℃/O₂/120초의 조건으로 제2급속열처리 공정을 추가로 실시한다. 이 공정에서 BLT 박막의 핵 생성이 유도된다. 이어서 확산로(diffusion furnace)를 이용하여 650℃/60분/O₂의 조건으로 열처리를 수행한다. 이 공정에서는 BLT 박막의 결정화가 극대화된다.
- <113> 전술한 바와 같이, 강유전체막(68)의 불순물 제거 및 결정화를 위한 후속 열처리를 강유전체막(68) 하부에 백금막(67)이 전체적으로 덮혀 있는 상태에서 진행하기 때문에, 강유전체막(68)의 특성이 우수하다.
- <114> 도 6g에 도시된 바와 같이, 강유전체막(68), 백금막(67) 및 이리듐산화막(66)을 동시에 1비트 단위로 식각하여 하부전극의 제2막과 강유전체막(68)의 적층을 형성한다.
- <115> 다음에, 강유전체막(68)을 포함한 전면에 제3층간절연막(69)을 증착한 후 강유전체막(68)의 표면이 드러날때까지 제3층간절연막(69)을 평탄화하여 하부전극의 제2막과 강유전체막(68)을 에워싸는 형태의 제3층간절연막(69)을 잔류시킨다. 여기서, 제3층간절연막(69)의 평탄화는 화학적기계적연마외에 에치백 공정을 적용할 수 있으며, 일부분 화학적기계적연마한 후 다시 에치백 공정을 적용하는 2단계 평탄화 공정을 실시할 수 있다. 예컨대, 2단계 평탄화 공정을 이용하는 경우, 강유전체막(68)의 상부에 제3층간절연막이 소정 두께로 잔류할 때까지 화학적기계적연마하고, 계속해서 강유전체막(68)의 표면이 드러날때까지 에치백한다. 이와 같이,

2단계 평탄화 공정을 이용하면 화학적기계적연마만을 적용한 경우에 발생하는 스크래치 (scratch) 등의 손실로부터 강유전체막(68)을 보호할 수 있다.

<116> 전술한 제3층간절연막(69)으로는 HDP, BPSG, PSG, MTO, HTO 또는 TEOS 산화막을 이용하며, 물리기상증착법(PVD), 화학기상증착법(CVD), 원자층증착법(ALD) 또는 스핀온법(Spin-on)을 이용하여 3000 Å ~ 30000 Å 두께로 증착한다.

<117> 또한, 제3층간절연막(69) 형성시에 제3층간절연막(69)의 열안정성 및 산소확산방지특성을 강화시킬 목적으로 두 층으로 나누어 증착할 수 있는데, 산소확산방지특성이 우수한 알루미늄(Al_2O_3), 실리콘나이트라이드(Si_3N_4) 또는 실리콘옥시나이트라이드($SiON$)의 산소배리어막을 먼저 증착한 후에 HDP, BPSG, PSG, MTO, HTO 또는 TEOS 산화막을 증착한다. 여기서, 알루미늄(Al_2O_3), 실리콘나이트라이드(Si_3N_4) 또는 실리콘옥시나이트라이드($SiON$)와 같은 산소배리어막은 하부전극을 에워싸는 형태로 잔류하여 후속 열공정시 산소가 하부전극으로 침투하는 것을 방지함과 동시에 하부전극 아래로 산소가 침투하는 것도 방지한다.

<118> 위와 같은 제3층간절연막(69)의 평탄화 공정후에 추가 평탄화, 치밀화 및 수분 제거를 목적으로 열처리 공정을 진행할 수 있는데, 열처리 공정은 400℃ ~ 800℃의 온도와 N_2 , O_2 , Ar, He, Kr 또는 오존(O_3) 분위기에서 1초 ~ 2시간동안 실시한다.

<119> 도 6h에 도시된 바와 같이, 제3층간절연막(69) 및 표면이 노출된 강유전체막(68) 상에 상부전극(70)을 형성한다. 이때, 상부전극(70)은 Pt, Ir, Ru, IrO_2 , RuO_2 , Pt/ IrO_2 , Pt/ IrO_2 /Ir, IrO_2 /Ir, RuO_2 /Ru, Pt/ RuO_2 /Ru 및 Pt/ RuO_2 로 이루어진 그룹중에서 선택된다.

<120> 다음에, 상부전극(70)을 라인 형태로 식각한다.

- <121> 한편, 강유전체막의 후속 열처리 공정을 상부전극(70) 증착전 또는 증착후에 수행할 수도 있다. 이때에도, 강유전체막(68) 하부에는 백금막(67)만 잔류하고 있으므로, 강유전체막(68)의 유전특성을 균일하게 확보할 수 있다.
- <122> 전술한 바와 같은 제2실시예에 따르면, 추가적인 접착층 오픈 마스크 및 식각 공정없이 텅스텐플러그(59a) 상부의 접착층(61)을 제거하여 공정마진을 확보할 수 있고, 이로써 하부전극과 접착층(61)간 접착면적을 넓혀 후속 열공정시 산소침투경로를 최소화시킨다. 따라서, 산소침투에 따른 제3티타늄나이트라이드(60)의 산화를 방지한다.
- <123> 아울러, 제2실시예는 강유전체막(68)의 형성 및 불순물 제거/결정화를 위한 열처리 공정을 강유전체막(68) 하부에 층간절연막없이 백금막(67)만 잔류한 상태에서 진행하므로 강유전체막(68)의 유전특성을 균일하게 확보할 수 있다.
- <124> 또한, 접착층 오픈 마스크 및 식각공정없이 균열 및 SC-1 세정을 통해 하부전극과 플러그를 전기적으로 연결시키는 제2실시예또한 도 5b에 나타낸 제1실시예의 결과와 유사하게, 콘택저항값이 매우 낮다.
- <125> 도 7a 내지 도 7f는 본 발명의 제3실시예에 따른 강유전체 메모리 소자의 제조 방법을 도시한 공정 단면도이다.
- <126> 도 7a에 도시된 바와 같이, 반도체 기판(71)에 필드산화막(72)을 형성한 후, 필드산화막(72)이 형성된 반도체 기판(71)에 트랜지스터의 소스/드레인과 같은 불순물접합(73)을 형성한다. 그리고 나서, 반도체 기판(71) 상에 다층 구조의 제1층간절연막(74)을 형성한다. 이때, 제1층간절연막(74)이 다층 구조인 것은 스토리지노드콘택(SNC) 형성전에 이루어지는 워드라인, 랜딩플러그, 및 비트라인들의 절연을 위한 것이다. 바람직하게, 제1층간절연막(74)은 HDP,

BPSG, PSG, MTO, HTO 및 TEOS로 이루어진 실리콘산화막 그룹중에서 선택되며, 증착후에 평탄화를 목적으로 화학적기계적연마(CMP)가 진행되거나 증착후에 평탄화 및 치밀화를 목적으로 열처리를 진행할 수 있다. 이때, 열처리는 $400^{\circ}\text{C} \sim 800^{\circ}\text{C}$ 의 온도와 N_2 , O_2 , Ar, He, Ne, Kr 또는 오존 분위기에서 1초~2시간동안 진행한다.

<127> 다음에, 제1층간절연막(74)을 식각하여 불순물접합(73)의 일부를 노출시키는 스토리지노드콘택홀을 형성한 후, 스토리지노드콘택홀을 포함한 제1층간절연막(74) 상에 폴리실리콘막을 증착한다. 그리고, 폴리실리콘막을 리세스 에치백(recess etchback)하여 스토리지노드콘택홀을 일부 채우는 폴리실리콘플러그(75)를 형성한다. 이때, 리세스 깊이는 후속 공정을 고려하여 $500\text{\AA} \sim 3000\text{\AA}$ 이면 적당하다.

<128> 다음에, 폴리실리콘플러그(75)를 포함한 제1층간절연막(74) 상에 티타늄막을 $10\text{\AA} \sim 500\text{\AA}$ 두께로 증착한다. 이때, 티타늄막은 물리기상증착법(Physical Vapor Deposition; PVD), 화학기상증착법(Chemical Vapor Deposition; CVD) 또는 원자층증착법(Atomic Layer Deposition; ALD)을 이용하여 증착한다.

<129> 다음에, 급속열처리(RTA) 공정을 실시하여 폴리실리콘플러그(75) 상에 티타늄실리사이드(76)를 형성시킨다. 이때, 티타늄실리사이드(76)는 오믹콘택을 형성하기 위한 것으로, 바람직하게, 티타늄실리사이드(76)를 형성하기 위한 급속열처리시, $600^{\circ}\text{C} \sim 1000^{\circ}\text{C}$ 의 온도에서 N_2 , NH_3 , Ar, He, Ne 또는 Kr의 비활성 분위기로 1초~10분동안 진행한다. 다른 방법으로 티타늄실리사이드(76)를 형성하기 위해 확산로(Diffusion furnace)를 이용하여 열처리할 수 있는데, 이때 열처리는 10분~1시간동안 진행한다.

<130> 다음에, 습식식각을 통해 미반응하고 잔류하는 티타늄막을 제거한 후, 티타늄실리사이드(76)를 포함한 제1층간절연막(74) 상에 스토리지노드콘택홀을 완전히 채울때까지 티타늄나이트

라이드(77)를 증착한다. 이때, 티타늄나이트라이드막(77)은 이전 공정의 리세스 깊이에 따라서 결정되는데, 예컨대 1000Å 정도 리세스시킨 경우이면 공정 마진을 고려하여 1500Å보다 두껍게 증착한다.

<131> 다음에, 매립 구조의 티타늄나이트라이드 구조를 형성한다. 예를 들어, 제1층간절연막(74)의 표면이 드러날때까지 티타늄나이트라이드막(77)을 화학적기계적연마하여 평탄화시킨다. 이와 같은 화학적기계적연마후에 스토리지노드콘택홀내 폴리실리콘플러그(75) 상에만 티타늄나이트라이드막(77)이 매립된 형태로 잔류한다.

<132> 결국, 스토리지노드콘택(SNC)은 폴리실리콘플러그(75), 티타늄실리사이드(76) 및 티타늄나이트라이드막(77)의 적층 구조로 이루어진다. 한편, 폴리실리콘플러그(75) 상부에 매립되는 배리어메탈로는 티타늄나이트라이드막(77)외에 TiN/Ti, TaN, TiAlN, TiSiN, TaSiN, RuTiN, TaAlN, RuTaN, CrTiN 또는 CrTaN을 이용할 수 있고, 티타늄실리사이드(76)와 같은 오믹콘택을 형성하는 실리사이드를 형성하기 위해 탄탈륨(Ta)을 이용할 수도 있다. 따라서, 폴리실리콘플러그(75) 상부에 TaN/Ta, TiAlN/Ti, TaSiN/Ta, TiSiN/Ti, TaAlN/Ta, RuTiN/Ti 또는 RuTaN/Ta의 적층 구조를 이용할 수도 있는 것이다.

<133> 도 7b에 도시된 바와 같이, 평탄화된 결과물, 즉, 제1층간절연막(74) 및 티타늄나이트라이드막(77) 상에 접착층(78)을 증착한다. 이때, 접착층(78)으로는 알루미늄(Al_2O_3)를 이용하며, 원자층증착법(ALD), 화학기상증착법(CVD), 물리기상증착법(PVD)을 이용하여 10Å ~ 500Å 두께로 충분히 얇게 한다. 이와 같이, 접착층(78)을 충분히 얇게 하는 이유는 후속 공정에서 식각공정없이도 열공정에 의해 접착층이 파괴되어 제거될 수 있도록 하기 위한 것이며, 이러한 얇은 두께는 접착층 역할을 하는데 충분하다.

- <134> 한편, 접착층(78)으로는 티타늄산화막(TiO_2) 또는 탄탈륨산화막(TaO_2)을 이용할 수 있다.
- <135> 다음에, 급속열처리 공정을 실시하여 폴리실리콘플러그(75) 상부의 접착층(78)에 균열(79)을 유발시킨다. 이때, 급속열처리 공정은 $400^\circ\text{C} \sim 1000^\circ\text{C}$ 의 온도에서 질소(N_2) 또는 아르곤(Ar) 가스 분위기에서 진행하며, 이러한 급속열처리 조건은 폴리실리콘플러그(75)가 산화되지 않는 조건이다.
- <136> 이와 같은 일련의 급속열처리 공정시에 발생하는 균열(79)은 급속열처리 공정시에 폴리실리콘플러그의 폴리실리콘(poly-Si)이 제1층간절연막(74)인 실리콘산화막(SiO_x)보다 열팽창계수가 7배 정도 크기 때문에 폴리실리콘플러그(75) 및 티타늄나이트라이드(77) 상부에서만 발생한다. 예컨대, 폴리실리콘의 열팽창계수가 $3.5 \times 10^{-6} \text{K}^{-1}$ 이고, 실리콘산화막의 열팽창계수가 $0.5 \times 10^{-6} \text{K}^{-1}$ 임을 감안하면, 폴리실리콘의 열팽창계수가 산화막의 그것보다 약 10배 정도 큼을 알 수 있다. 따라서, 폴리실리콘플러그(75)가 급속열처리 공정시에 부피팽창을 일으켜 티타늄나이트라이드(77) 및 접착층(78)에 응력을 가하게 되고, 이러한 응력에 의해 접착층(78)의 일부, 즉 폴리실리콘플러그(75) 상부에 형성된 부분에 균열(79)이 발생한다. 이때, 제1층간절연막(74)도 급속열처리 공정시에 팽창할 수 있으나, 그 팽창정도가 폴리실리콘플러그(75)에 비해 현저히 작아 접착층(78)에 균열을 일으키지는 않는다.
- <137> 한편, 접착층(78)인 알루미늄의 열팽창계수는 $6.5 \times 10^{-6} \text{K}^{-1}$ 이고, 티타늄나이트라이드(77)의 열팽창계수는 $9.3 \times 10^{-6} \text{K}^{-1}$ 이다.
- <138> 도 7c에 도시된 바와 같이, SC-1($\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O}=1:4:20$)을 이용하여 후속 세정 공정을 1분~1시간동안 진행한다. 이때, SC-1을 이용한 세정시 티타늄나이트라이드(77)는 $20 \text{ \AA}/\text{분}$, 접

착층(78)인 알루미늄은 5Å/분, 제1층간절연막(74)은 5Å/분의 식각률을 갖고, 특히 접착층(78)의 균열(79) 부분은 균열이 발생되지 않은 부분의 식각률보다 더 크다.

<139> 따라서, SC-1은 산화막인 제1층간절연막(74)은 식각하지 못하지만 티타늄나이트라이드(77)는 잘 식각시키기 때문에 균열(79)이 발생한 지역의 접착층(78)과 티타늄나이트라이드(77)를 선택적으로 제거할 수 있다.

<140> 이와 같은 SC-1 세정후에 후속 하부전극과 폴리실리콘플러그(75)간 접합부분, 예컨대 티타늄나이트라이드(77) 표면이 오픈되고, 이때, 오픈되는 티타늄나이트라이드(77)가 SC-1에 의해 잘 식각됨에 따라 일부분 식각되어 아래로 함몰되는 형태일 수 있다. 즉, SC-1이 티타늄나이트라이드(77)위에 발생한 접착층(78)의 균열(79)로 침투하여 티타늄나이트라이드막(77)만 약간 식각할 수 있다.

<141> 한편, 접착층(78)의 균열(79)을 제거하기 위한 세정 공정시에 SPM(Sulfuric acid-Peroxide mixture, $H_2SO_4:H_2O_2$) 용액을 이용할 수 있다.

<142> 도 7d에 도시된 바와 같이, 폴리실리콘플러그(75) 상부를 오픈시킨 접착층(78) 상에 이리듐막(80), 이리듐산화막(81) 및 백금막(82)의 순서로 적층한다. 이때, 이리듐막(80)은 100Å ~ 2000Å, 이리듐산화막(81)은 10Å ~ 500Å, 백금막(82)은 100Å ~ 2000Å 두께로 증착하며, 각각 물리기상증착법(PVD), 화학기상증착법(CVD) 또는 원자층증착법(ALD)을 이용하여 증착한다. 특히, 이리듐막(80)은 수직 방향으로 산소침투를 방지하는 역할도 수행하는데, 그 두께가 1000Å보다 두꺼우면 수직 방향의 산소침투를 방지할 수 있다. 이와 같은 산소침투방지 역할을 하는 막으로 이리듐막(80)외에 RuTiN, CrTaN, CrTiN 또는 RuTaN을 이용할 수도 있다.

- <143> 다음에, 백금막(82), 이리듐산화막(81), 이리듐막(80) 및 접착층(78)을 순차적으로 식각하여 하부전극을 형성한다. 결국, 폴리실리콘플러그(75) 상부에 백금막/이리듐산화막/이리듐막(82/81/80)의 적층 하부전극이 형성되고, 하부전극의 이리듐막(80)과 제1층간절연막(74) 사이에 접착층(78)이 잔류한다. 이때, 백금막(82) 하부의 이리듐산화막/이리듐막(82/81)의 적층은 폴리실리콘플러그(75)가 산화되는 것을 방지하기 위한 산화방지막 역할을 하는데, 이러한 산화방지막으로는 RuTiN, CrTiN, RuTaN 또는 CrTaN을 이용할 수 있다.
- <144> 위와 같은 하부전극 패터닝후에 잔류하는 접착층(78)은 하부전극과의 접촉면적이 넓고, 아울러 하부전극과 제1층간절연막(74)간에 비어있는 부분이 없이 잔류하여 하부전극이 제1층간절연막(74)과 접촉하는 것을 방지하고 있다.
- <145> 다음에, 적층 하부전극을 포함한 전면에 제2층간절연막(83)을 증착한 후 백금막(82)의 표면이 드러날때까지 제2층간절연막(83)을 평탄화하여 적층 하부전극을 에워싸는 형태의 제2층간절연막(83)을 잔류시킨다. 여기서, 제2층간절연막(83)의 평탄화는 화학적기계적연마외에 에치백 공정을 적용할 수 있으며, 일부분 화학적기계적연마한 후 다시 에치백 공정을 적용하는 2단계 평탄화 공정을 실시할 수 있다. 예컨대, 2단계 평탄화 공정을 이용하는 경우, 적층 하부전극의 최상부층인 백금막(82) 상부에 제2층간절연막(83)이 소정 두께로 잔류할 때까지 화학적기계적연마하고, 계속해서 백금막(82)의 표면이 드러날때까지 에치백한다. 이와 같이, 2단계 평탄화 공정을 이용하면 화학적기계적연마만을 적용한 경우에 발생하는 스크래치(scratch) 등의 손실로부터 백금막(82)을 보호할 수 있다.

<146> 전술한 제2층간절연막(83)으로는 HDP, BPSG, PSG, MTO, HTO 또는 TEOS 산화막을 이용하며, 물리기상증착법(PVD), 화학기상증착법(CVD), 원자층증착법(ALD) 또는 스핀온법(Spin-on)을 이용하여 3000 Å ~ 30000 Å 두께로 증착한다.

<147> 또한, 제2층간절연막(83) 형성시에 제2층간절연막(83)의 열안정성 및 산소확산방지특성을 강화시킬 목적으로 두 층으로 나누어 증착할 수 있는데, 산소확산방지특성이 우수한 알루미늄(Al_2O_3), 실리콘나이트라이드(Si_3N_4) 또는 실리콘옥시나이트라이드($SiON$)의 산소배리어막을 먼저 증착한 후에 HDP, BPSG, PSG, MTO, HTO 또는 TEOS 산화막을 증착한다. 여기서, 알루미늄(Al_2O_3), 실리콘나이트라이드(Si_3N_4) 또는 실리콘옥시나이트라이드($SiON$)와 같은 산소배리어막은 적층 하부전극을 에워싸는 형태로 잔류하여 후속 열공정시 산소가 하부전극으로 침투하는 것을 방지함과 동시에 하부전극 아래로 산소가 침투하는 것도 방지한다.

<148> 위와 같은 제2층간절연막(83)의 평탄화 공정후에 추가 평탄화, 치밀화 및 수분 제거를 목적으로 열처리 공정을 진행할 수 있는데, 열처리 공정은 400°C ~ 800°C의 온도와 N_2 , O_2 , Ar, He, Kr 또는 오존(O_3) 분위기에서 1초 ~ 2시간동안 실시한다.

<149> 도 7e에 도시된 바와 같이, 제2층간절연막(83) 및 표면이 노출된 백금막(82) 상에 강유전체막(84)을 형성한다. 이때, 강유전체막(84)은 화학기상증착법(CVD), 원자층증착법(ALD), 금속유기증착법(MOD) 및 스핀코팅법(Spin coating) 중에서 선택된 하나의 증착법을 이용하여 50 Å ~ 2000 Å의 두께로 증착하며, 통상의 SBT, PZT 및 BLT 중에서 선택된 하나이거나 불순물이 첨가되거나 조성 변화된 SBT, PZT, SBTN 및 BLT 중에서 선택된 하나를 이용한다.

- <150> 다음에, 강유전체막(84) 상에 상부전극(85)을 형성한다. 이때, 상부전극(85)은 Pt, Ir, Ru, IrO₂, RuO₂, Pt/IrO₂, Pt/IrO₂/Ir, IrO₂/Ir, RuO₂/Ru, Pt/RuO₂/Ru 및 Pt/RuO₂로 이루어진 그룹중에서 선택된다.
- <151> 다음에, 강유전체막(84)의 결정화를 위한 고온 열처리를 진행한다.
- <152> 도 7f에 도시된 바와 같이, 상부전극(85)과 강유전체막(84)을 동시에 식각하거나, 상부전극(85)을 먼저 식각한 후에 강유전체막(84)을 필요한 부분만 제거하는 2단계 식각 공정을 진행한다. 다음에, 상부전극(85) 식각시 손상받은 강유전체막(84)을 회복시켜 주기 위해 회복 열처리를 진행한다.
- <153> 전술한 바와 같은 제3실시예에 따르면, 추가적인 접착층 오픈 마스크 및 식각 공정없이 폴리실리콘플러그(75) 상부의 접착층(78)을 제거하여 공정마진을 확보할 수 있고, 이로써 하부전극과 접착층(78)간 접착면적을 넓혀 후속 열공정시 산소침투경로를 최소화시킨다. 따라서, 산소침투에 따른 티타늄나이트라이드(77)의 산화를 방지한다.
- <154> 또한, 접착층 오픈 마스크 및 식각공정없이 균열 및 SC-1 세정을 통해 하부전극과 플러그를 전기적으로 연결시키는 제3실시예또한 도 5b에 나타낸 제1실시예의 결과와 유사하게, 콘택저항값이 매우 낮다.
- <155> 도 8은 본 발명의 제4실시예에 따른 강유전체 메모리 소자를 도시한 단면도이다. 도 8에 도시된 강유전체 메모리 소자는 하부전극 형성전까지는 제3실시예에 따른 제조 방법을 따르고, 하부전극, 강유전체막 및 상부전극의 형성 공정은 제2실시예에 따른 제조 방법을 따른다. 따라서, 각 공정은 전술한 제2실시예 및 제3실시예를 참조한다.

- <156> 도 8을 참조하여 제4실시예에 따른 강유전체 메모리 소자의 제조 방법을 설명하면, 반도체 기판(71)에 필드산화막(72)을 형성하며, 반도체 기판(71)에 트랜지스터의 소스/드레인과 같은 불순물접합(73)을 형성하고, 반도체 기판(71) 상부에 다층구조의 제1층간절연막(74)을 형성한다. 그리고, 제1층간절연막(74)을 식각하여 스토리지노드콘택홀을 오픈시키고, 폴리실리콘플러그(75), 티타늄실리사이드(76) 및 티타늄나이트라이드(77)의 순서로 적층된 스토리지노드콘택을 스토리지노드콘택홀에 매립시킨다. 다음에, 접착층(78)을 형성한 후 급속열처리하여 폴리실리콘플러그(75) 상부에 균열을 발생시킨 다음, SC-1 또는 SPM 용액을 이용한 후속 세정을 통해 접착층(78)의 균열 부분을 식각한다.
- <157> 다음에, 균열 부분이 오픈된 접착층(78) 상에 이리듐막(80)을 형성한 후, 이리듐막(81)과 접착층(78)을 식각하고, 전면에 제2층간절연막(83a)을 증착 및 평탄화한다.
- <158> 다음에, 평탄화된 제2층간절연막(83a)과 이리듐막(80) 상에 이리듐산화막(81)과 백금막(82), 그리고 강유전체막(84)을 차례로 증착한 후, 강유전체막(84)의 불순물 제거 및 결정화를 위한 열처리를 진행한다.
- <159> 다음에, 강유전체막(84), 백금막(82) 및 이리듐산화막(81)을 순차적으로 식각하고, 전면 에 제3층간절연막(83b)을 증착 및 평탄화한다.
- <160> 다음에, 강유전체막 및 제3층간절연막(83b) 상에 상부전극(85)을 증착 및 패터닝한다.
- <161> 전술한 바와 같은 제4실시예시에 따르면, 추가적인 접착층 오픈 마스크 및 식각 공정 없이 폴리실리콘플러그(75) 상부의 접착층(78)을 제거하여 공정마진을 확보할 수 있고, 이로써 하부전극과 접착층(78)간 접착면적을 넓혀 후속 열공정시 산소침투경로를 최소화시킨다. 따라서, 산소침투에 따른 티타늄나이트라이드(77)의 산화를 방지한다.

<162> 아울러, 제4실시예는 강유전체막(84)의 형성 및 불순물 제거/결정화를 위한 열처리 공정을 강유전체막(84) 하부에 층간절연막없이 백금막(82)만 잔류한 상태에서 진행하므로 강유전체막(84)의 유전특성을 균일하게 확보할 수 있다.

<163> 또한, 접착층 오픈 마스크 및 식각공정없이 균열 및 SC-1 세정을 통해 하부전극과 플러그를 전기적으로 연결시키는 제4실시예또한 도 5b에 나타낸 제1실시예의 결과와 유사하게, 콘택저항값이 매우 낮다.

<164> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

【발명의 효과】

<165> 상술한 바와 같은 본 발명은 고온 산화 분위기의 열처리 공정이 필수적인 강유전체 메모리 소자의 제조 공정시, 열안정성이 우수하고 전기적 특성이 우수한 고밀도 강유전체 메모리 소자를 제조할 수 있는 효과가 있다.

<166> 또한, 제조 공정이 매우 용이해지며 소자의 수율 향상 및 원가 절감 측면에서도 크게 기여할 수 있는 효과가 있다.

【특허청구범위】

【청구항 1】

트랜지스터가 형성된 반도체 기판 상부에 제1층간절연막을 형성하는 단계;

상기 제1층간절연막을 식각하여 상기 반도체 기판의 일부를 노출시키는 스토리지노드콘택홀을 형성하는 단계;

상기 스토리지노드콘택홀에 플러그와 배리어메탈의 순서로 적층된 스토리지노드콘택홀을 매립시키는 단계;

상기 스토리지노드콘택 및 상기 제1층간절연막 상에 접착층을 형성하는 단계;

상기 접착층중에서 상기 플러그 상부에 형성된 부분에 균열을 발생시키는 단계;

상기 접착층의 균열이 발생된 부분을 선택적으로 제거하여 상기 플러그 상부의 배리어 메탈 표면을 노출시키는 단계; 및

상기 표면이 노출된 배리어메탈을 통해 상기 플러그에 연결되는 강유전체 캐패시터를 형성하는 단계

를 포함하는 강유전체 메모리 소자의 제조 방법.

【청구항 2】

제1항에 있어서,

상기 플러그는 상기 제1층간절연막의 열팽창계수보다 상대적으로 큰 값을 갖는 도전막을 이용하는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 3】

제2항에 있어서,

상기 제1층간절연막은 실리콘산화막 계열이고, 상기 플러그는 폴리실리콘 또는 텅스텐막인 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 4】

제1항에 있어서,

상기 균열을 발생시키는 단계는,

급속열처리를 통해 이루어지는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 5】

제4항에 있어서,

상기 급속열처리는,

400℃~1000℃의 온도에서 질소(N₂) 또는 아르곤(Ar) 가스 분위기에서 진행하는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 6】

제1항에 있어서,

상기 접착층의 균열이 발생된 부분을 선택적으로 제거하여 상기 플러그 상부의 배리어 메탈 표면을 노출시키는 단계는,

SC-1($\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O}=1:4:20$) 또는 SPM 용액을 이용하여 1분~1시간동안 세정하여 이루어지는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 7】

제1항에 있어서,

상기 접착층은, 알루미나, 티타늄산화막 또는 탄탈륨산화막을 이용하는 것을 특징으로

하는 강유전체 메모리 소자의 제조 방법.

【청구항 8】

제1항에 있어서,

상기 접착층은, $10\text{\AA} \sim 500\text{\AA}$ 두께로 형성되는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 9】

제1항에 있어서,

상기 강유전체 캐패시터를 형성하는 단계는,

상기 표면이 노출된 배리어메탈을 포함한 상기 접착층 상에 하부전극용 도전막을 형성하는 단계;

상기 도전막과 상기 접착층을 식각하여 하부전극을 형성하는 단계;

상기 하부전극을 에워싸는 평탄화된 제2층간절연막을 형성하는 단계;

상기 하부전극 및 상기 제2층간절연막 상에 강유전체막을 형성하는 단계; 및
 상기 강유전체막 상에 상부전극을 형성하는 단계
 를 포함하는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 10】

제1항에 있어서,

상기 강유전체 캐패시터를 형성하는 단계는;

상기 표면이 노출된 배리어메탈을 포함한 상기 접착층 상에 하부전극용 제1막을 형성하는 단계;

상기 제1막과 상기 접착층을 식각하여 제1적층을 형성하는 단계;

상기 제1적층을 에워싸는 평탄화된 제2층간절연막을 형성하는 단계;

상기 제1적층 및 상기 제2층간절연막 상에 하부전극용 제2막과 강유전체막을 차례로 형성하는 단계;

상기 강유전체막과 상기 제2막을 식각하여 제2적층을 형성하는 단계;

상기 제2적층을 에워싸는 평탄화된 제3층간절연막을 형성하는 단계; 및

상기 강유전체막 상에 상부전극을 형성하는 단계

를 포함하는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 11】

제10항에 있어서,

상기 강유전체막의 불순물 제거 및 결정화를 위한 후속 열처리 단계가,

상기 하부전극용 제2막과 강유전체막을 차례로 형성하는 단계후, 상기 상부전극을 형성하는 단계 전 또는 상기 상부전극을 형성하는 단계후에 삽입되는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 12】

- 제10항에 있어서,

상기 제1막은 Ir, RuTiN, CrTaN, CrTiN 또는 RuTaN을 이용하고, 상기 제2막은 Pt/IrO₂의 적층을 이용하는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 13】

제9항 또는 제10항에 있어서,

상기 제2층간절연막은 Al₂O₃, Si₃N₄ 또는 SiON중에서 선택된 산소확산방지막과 HDP, BPSG, PSG, MTO, HTO 또는 TEOS 중에서 선택된 절연막의 이중막이거나, 상기 절연막으로 된 단일막을 포함하는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

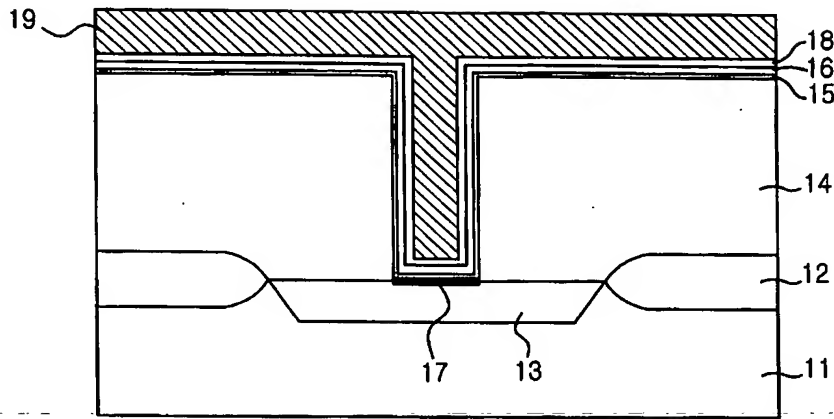
【청구항 14】

제10항에 있어서,

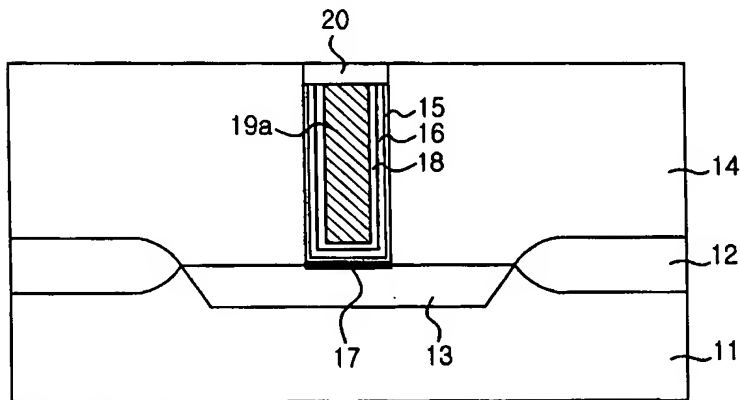
상기 제3층간절연막은 Al_2O_3 , Si_3N_4 또는 SiON 중에서 선택된 산소확산방지막과 HDP, BPSG, PSG, MTO, HTO 또는 TEOS 중에서 선택된 절연막의 이중막이거나, 상기 절연막으로 된 단일막을 포함하는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【도면】

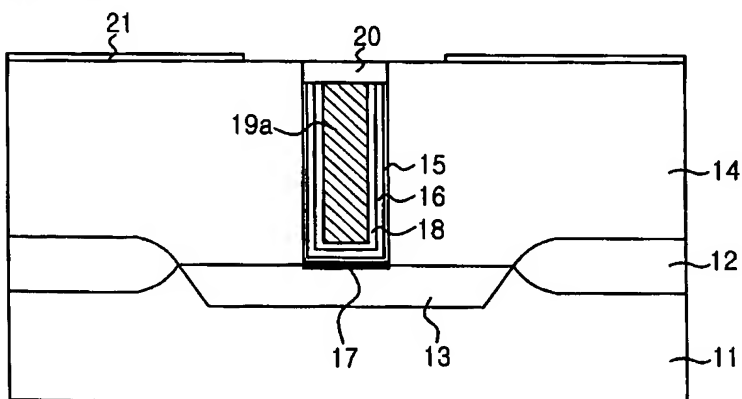
【도 1a】



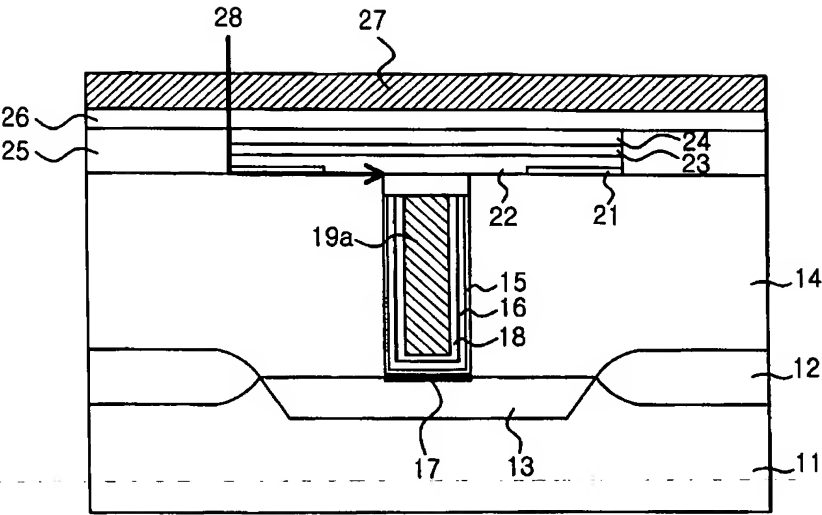
【도 1b】



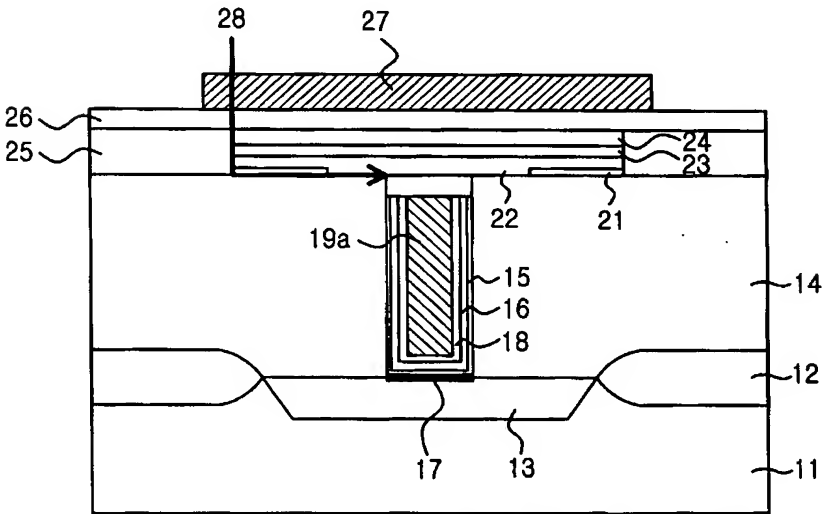
【도 1c】



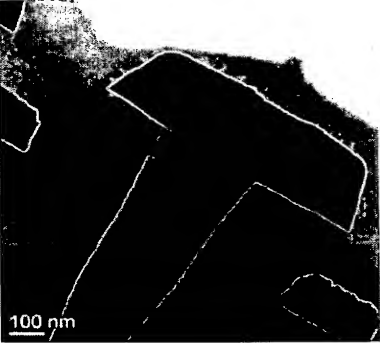
【도 1d】



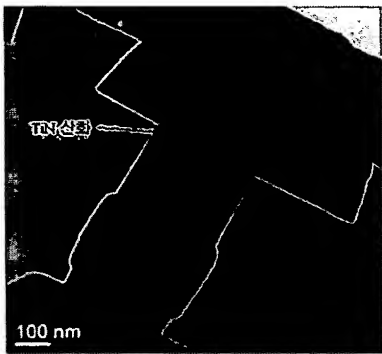
【도 1e】



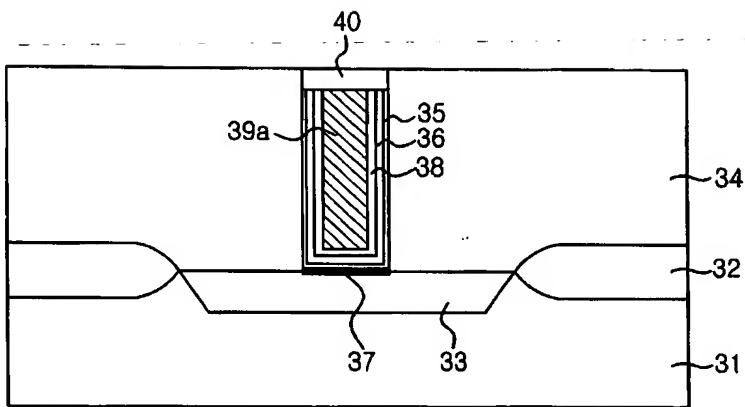
【도 2a】



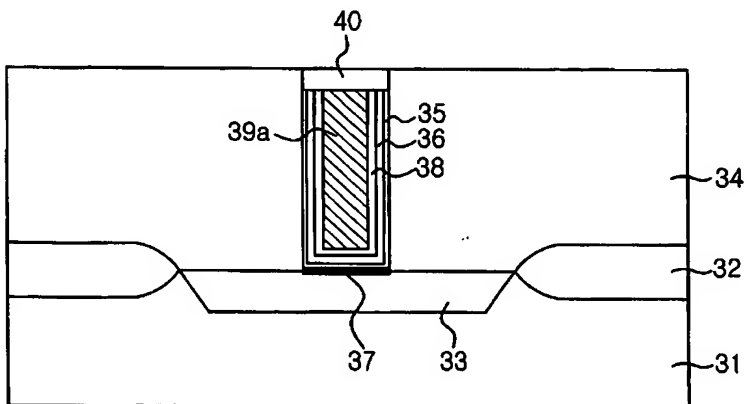
【도 2b】



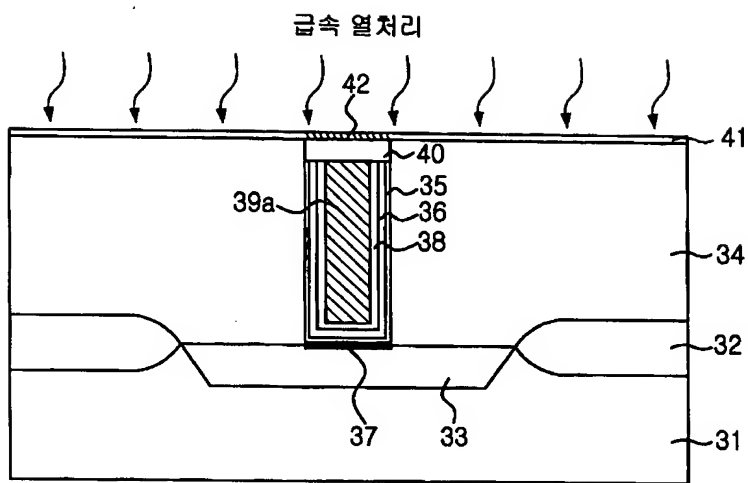
【도 3a】



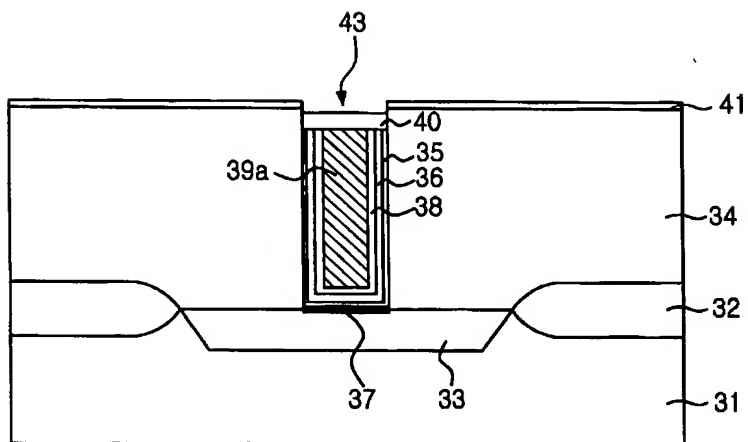
【도 3b】



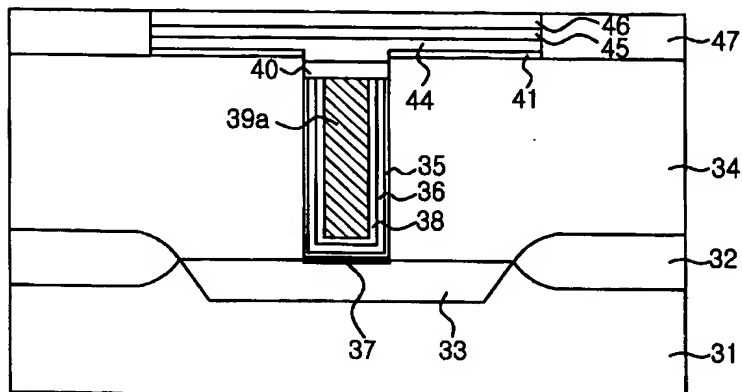
【도 3c】



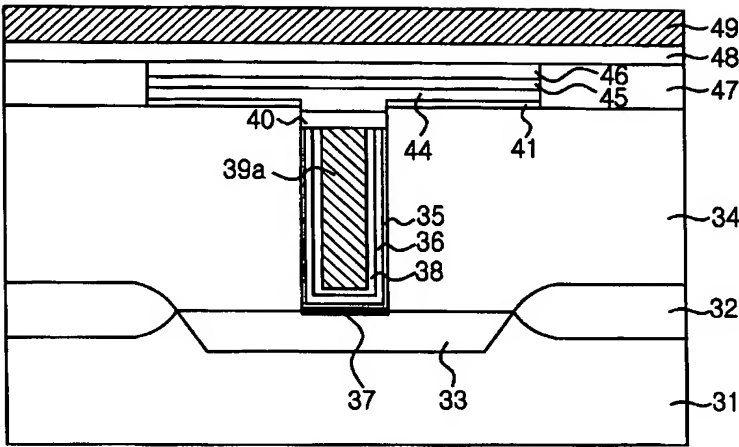
【도 3d】



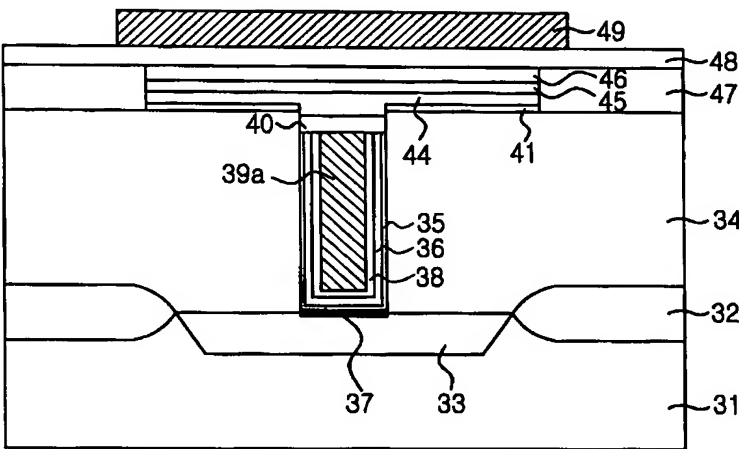
【도 3e】



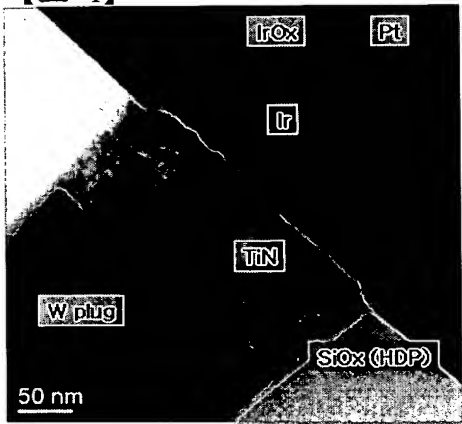
【도 3f】



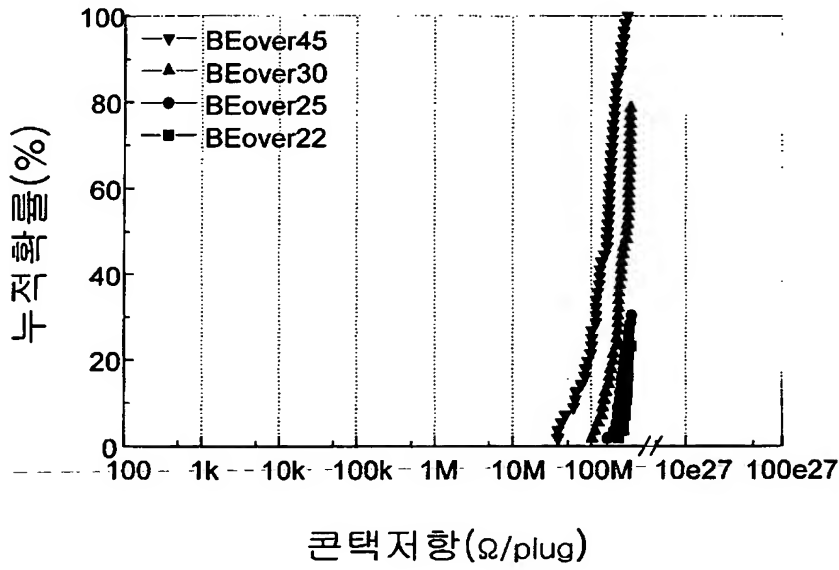
【도 3g】



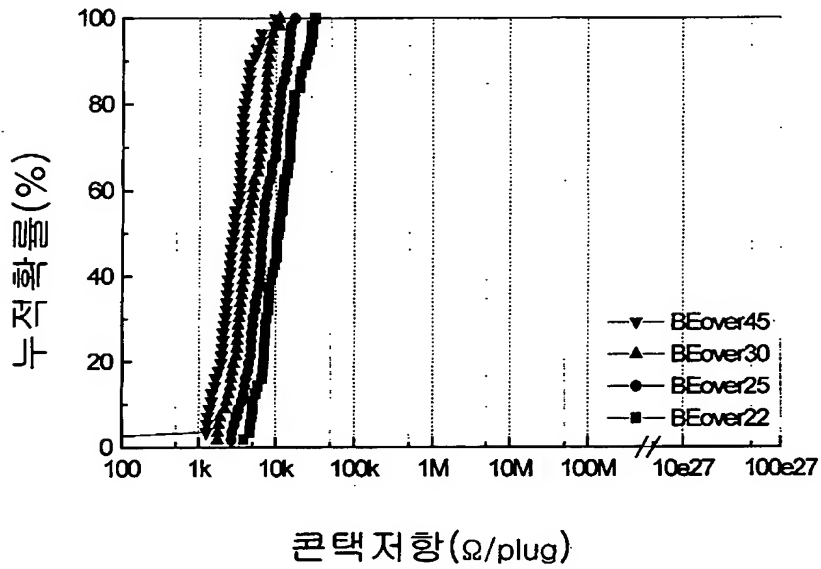
【도 4】



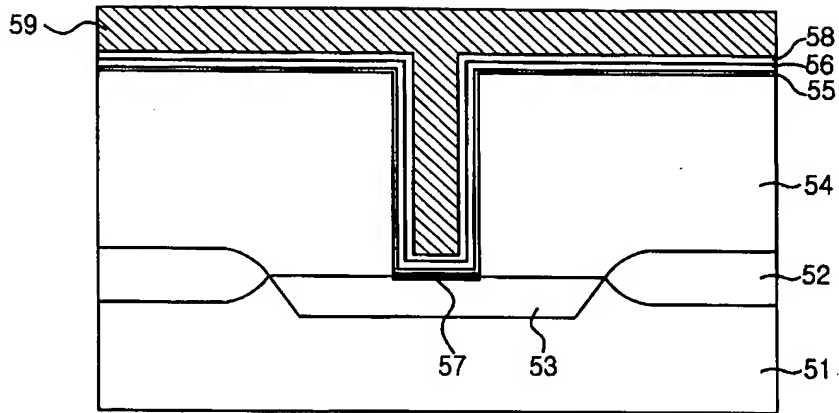
【도 5a】



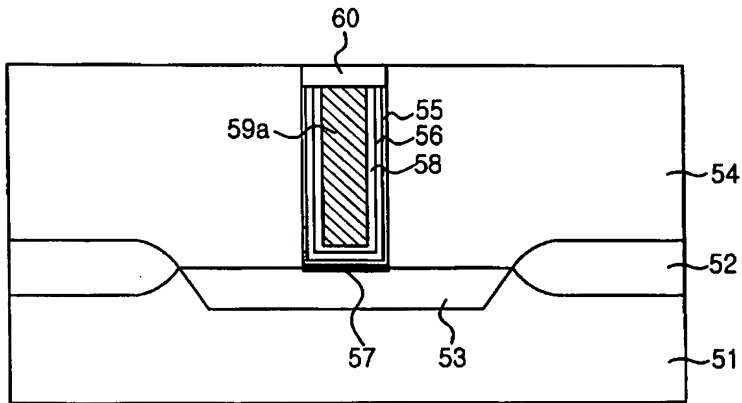
【도 5b】



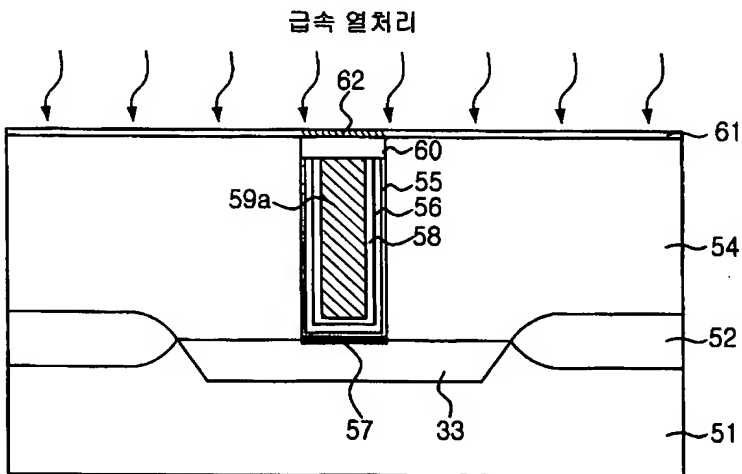
【도 6a】



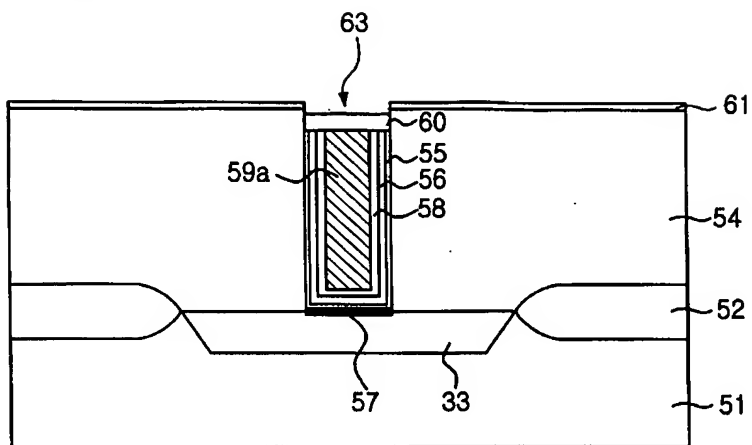
【도 6b】



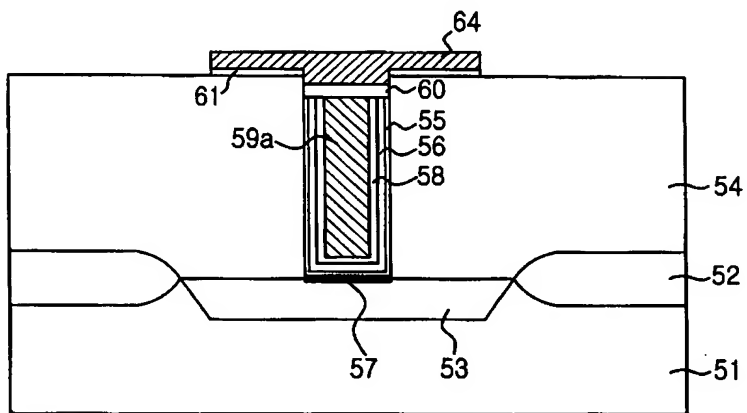
【도 6c】



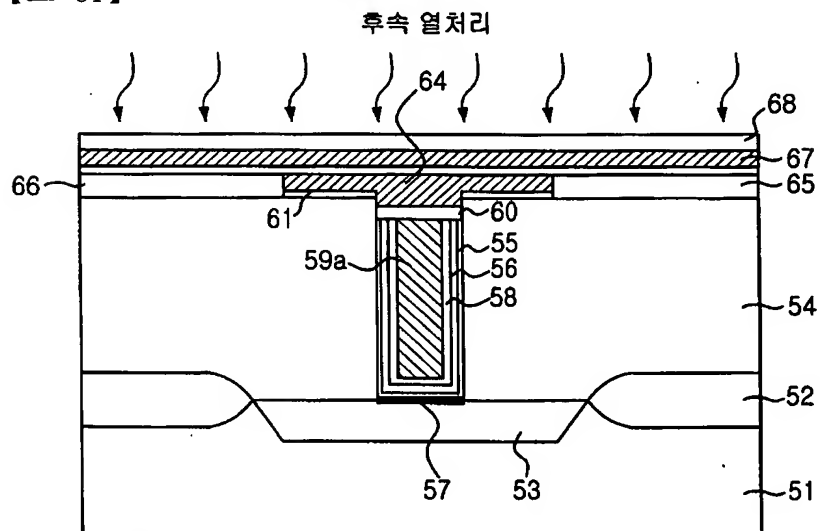
【도 6d】



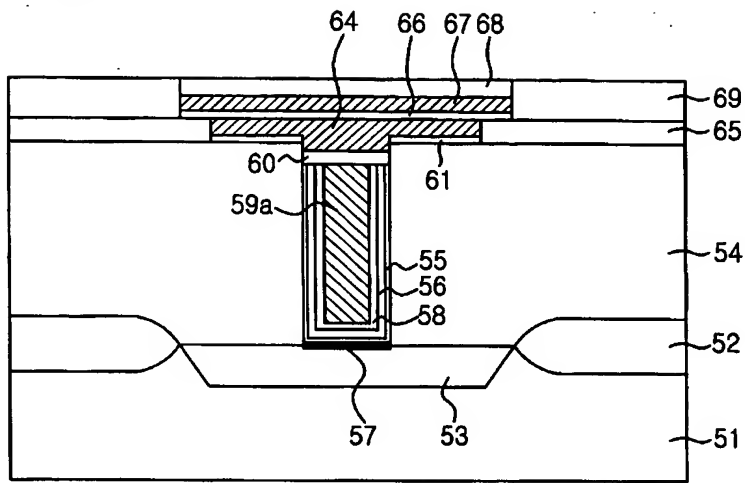
【도 6e】



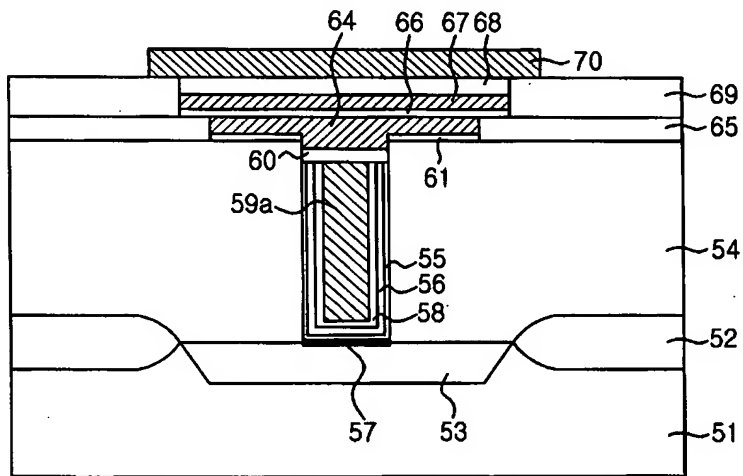
【도 6f】



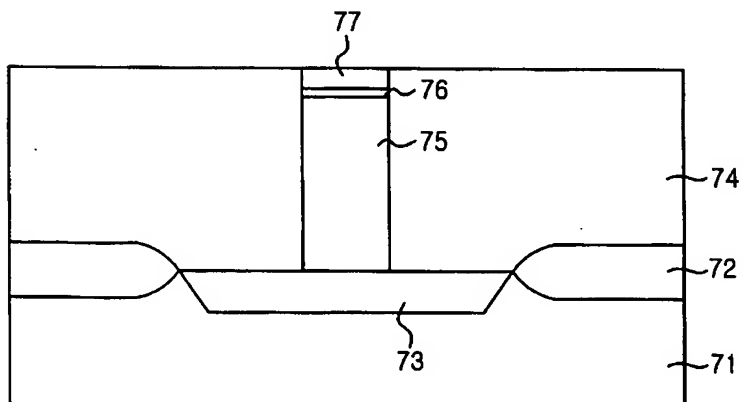
【도 6g】



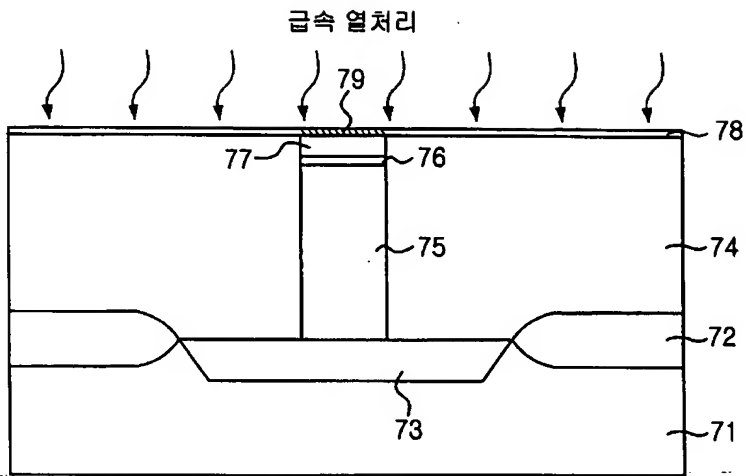
【도 6h】



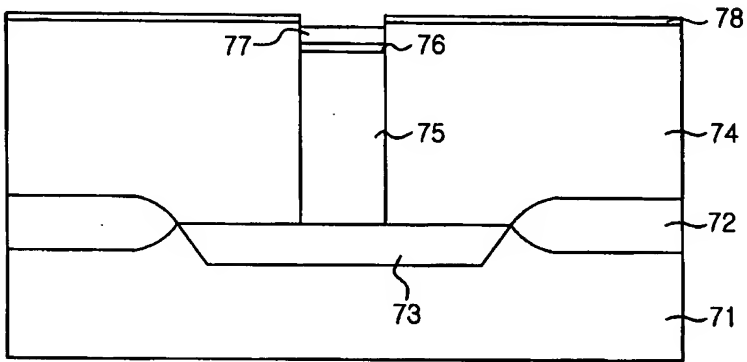
【도 7a】



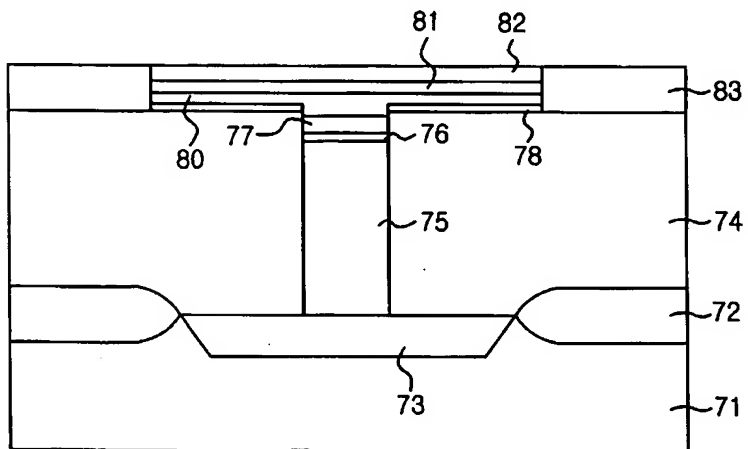
【도 7b】



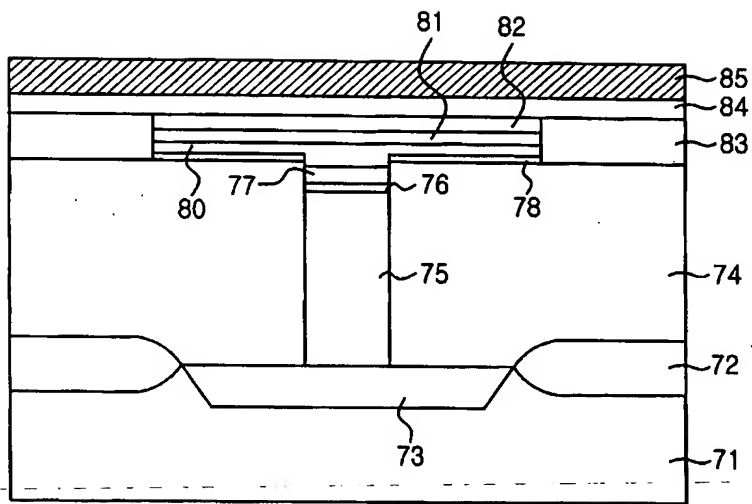
【도 7c】



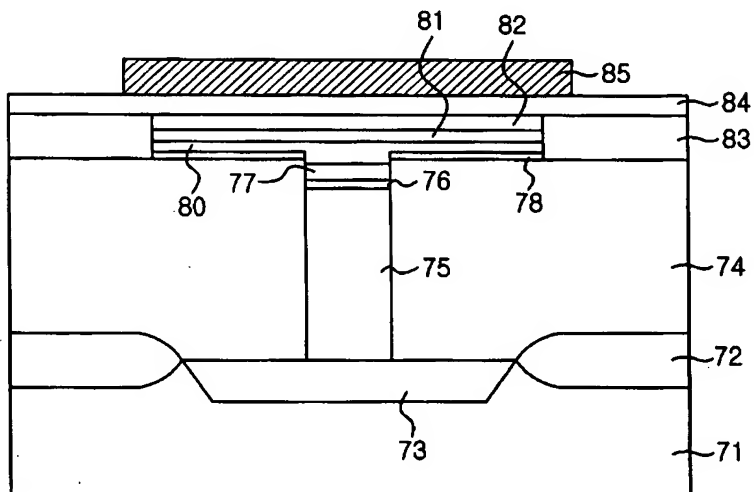
【도 7d】



【도 7e】



【도 7f】



【도 8】

